

PATENT ABSTRACTS OF JAPAN

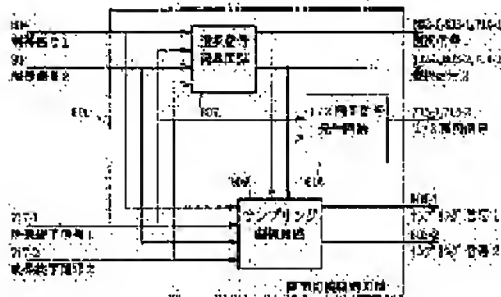
(11)Publication number : 2000-315068
(43)Date of publication of application : 14. 11. 2000

(51) Int. Cl. G09G 3/20
G02F 1/133
G09G 3/36
H04N 5/45
H04N 5/46
H04N 5/66

(21)Application number : 2000-077236 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 14. 02. 2000 (72)Inventor : ANAI KIMIO

(30)Priority
Priority 11034488 Priority 12. 02. 1999 Priority JP
number : date : country :

(54) PICTURE DISPLAY DEVICE



(57)Abstract:
PROBLEM TO BE SOLVED: To prevent the occurrence of picture omission

generated during a picture switching by temporarily stopping the driving scanning by first and second scanning control means in the interval between immediately after an update and a supplying of new reference signals in a picture display device that conducts two picture display by video signals of two systems.

SOLUTION: A picture switching control circuit 806 consists of a selection signal generating circuit 807, a 1/2 picture signal generating circuit 808 and a sampling control circuit 809. Video completion signals 1 and 2 generated by reference signal generating circuits 1 and 2 (717-1 and -2) are supplied to the circuits 808 and 809. Control signals 1 and 2 generated by a decoding circuit 804 are supplied to the circuits 807 and 809. The circuit 809 generates sampling signals 1 and 2 based on the control signals 1 and 2, the video completion signals 1 and 2 and selection signals 1 and 2 and supplies these signals to control signal obtaining circuits 1 and 2 (805-1 and -2).

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display panel which has the viewing area which consisted of two or more display pixels arranged in the shape of a matrix at the intersection of two or more scan signal lines and two or more data signal lines, and was electrically divided into independent N individual ($N \geq 2$), With the vertical-scanning circuit connected to said scan signal line, and the horizontal scanning circuit of N individual connected to the data signal line wired by said viewing area by which N division was carried out, respectively, mutually Asynchronous, Or the video-signal processing means of N individual which acquires the status signal of N individual displayed on the viewing area of said N individual from the video signal of N individual with which the specifications differ, It is based on the synchronizing signal obtained from the video signal of said N individual, respectively, and the display-control signal inputted from the exterior. The flat-surface display characterized by providing a drive signal generation means to generate the driving signal of N individuals, such as a vertical-scanning clock signal supplied to said vertical-scanning circuit and horizontal scanning circuit of said N individual, a vertical-scanning start signal, a horizontal scanning clock signal of N individual, and a horizontal scanning start signal of N individual.

[Claim 2] Said drive signal generation means possesses a selection means, and this selection means is based on said display-control signal. The video signal of said N individual, Or [whether the status signal of said N individual is distributed to the horizontal scanning circuit of said N individual, and is outputted, respectively, and] Or the flat-surface display according to claim 1 characterized by supplying altogether one video signal or one status signal to the horizontal scanning circuit of said N individual among the video signal of said N individual, or the status signal of said N individual.

[Claim 3] Two or more 1st scan signal lines and two or more 1st data signal lines which carry out an abbreviation rectangular cross with said 1st scan signal line, The 1st viewing area which consists of 1st pixel electrodes arranged through a switching device near the intersection with each aforementioned 1st scan signal line and a data signal line,

Two or more 2nd scan signal lines arranged along with said 1st scan signal line, the [said] -- with the 2nd viewing area which consists of 2nd pixel electrodes arranged through a switching device near the intersection of two or more 2nd data signal lines which carry out an abbreviation rectangular cross with 2 scan signal line, and each aforementioned 2nd scan signal line and data signal lines Preparation ***** and the 1st and 2nd vertical-scanning circuit connected to said 1st and 2nd scan signal line, The 1st and 2nd video-signal processing circuit connected to said 1st and 2nd data signal line and a drive signal generation means are provided. Said drive signal generation means The 1st drive circuit section which outputs the 1st video signal and the 1st horizontal control signal to said 1st video-signal processing circuit while outputting the 1st perpendicular control signal to said 1st vertical-scanning circuit based on the 1st input video signal inputted from the outside, It is based on the 2nd input video signal with which it is inputted from the outside and asynchronous [said / 1st input video signal and asynchronous] differ from a specification. The image display device characterized by including the 2nd drive circuit section which outputs the 2nd video signal and the 2nd horizontal control signal to said 2nd video-signal processing circuit while outputting the 2nd perpendicular control signal to said 2nd vertical-scanning circuit.

[Claim 4] [whether said drive signal generation means outputs the 2nd video signal and the 2nd horizontal control signal to said 2nd video-signal processing circuit while outputting the 2nd perpendicular control signal to said 2nd vertical-scanning circuit, and] Or the image display device according to claim 3 characterized by having a selection means to choose whether the 1st video signal and the 1st horizontal control signal are outputted to said 1st video-signal processing circuit while outputting the 1st perpendicular control signal to said 2nd vertical-scanning circuit.

[Claim 5] For said 1st and 2nd horizontal control signal, said 1st and 2nd perpendicular control signal is an image display device according to claim 3 characterized by including a horizontal scanning clock signal and a horizontal scanning start signal including a vertical-scanning clock signal and a vertical-scanning start signal.

[Claim 6] Two or more 3rd data signal lines in which said display panel carries out an abbreviation rectangular cross with two or more 3rd scan signal lines and said 3rd scan signal line, The 3rd vertical-scanning circuit connected to said 3rd scan signal line including the 3rd viewing area which consists of 3rd pixel electrodes arranged through a switching

device near the intersection with each aforementioned 3rd scan signal line and a data signal line, The 3rd video-signal processing circuit connected to said 3rd data signal line is provided. Said drive signal generation means The image display device according to claim 3 characterized by including the 3rd drive circuit section which outputs the 3rd video signal and the 3rd horizontal control signal to said 3rd video-signal processing circuit while outputting the 3rd perpendicular control signal to said 3rd vertical-scanning circuit based on the 3rd input video signal inputted from the outside.

[Claim 7] Two or more display pixels arranged in the shape of a matrix at the intersection of two or more scan signal lines of a display panel mostly carried out 2 ****s in the center, and two or more data signal lines, The vertical-scanning circuit connected to said two or more scan signal lines carried out 2 ****s, respectively, It has the horizontal scanning circuit which supplies a status signal to the data signal line of display pixel plurality. By supplying a vertical-scanning clock signal and a vertical-scanning start signal to said vertical-scanning circuit, and supplying a horizontal scanning clock signal, a horizontal scanning start signal, and a video signal to said horizontal scanning circuit In the flat-surface display which displays the image obtained from two video signals which do not synchronize with right and left of said display panel The vertical-scanning clock signal supplied to the 1st vertical-scanning circuit and the 1st horizontal scanning circuit which are connected to the pixel on the left-hand side of a display panel, The 1st scan control means which generates the 1st driving signal, such as a vertical-scanning start signal, a horizontal scanning clock signal, and a horizontal scanning start signal, The vertical-scanning clock signal supplied to the 2nd vertical-scanning circuit and the 2nd horizontal scanning circuit which are connected to the pixel on the right-hand side of a display panel, The 2nd scan control means which generates the 2nd driving signal, such as a vertical-scanning start signal, a horizontal scanning clock signal, and a horizontal scanning start signal, The 1st image processing selection output means which acquires the 1st status signal supplied to said 1st horizontal scanning circuit from the 1st video signal or the 2nd video signal based on the 1st selection signal, The 2nd image processing selection output means which acquires the 2nd status signal supplied to said 2nd horizontal scanning circuit from the 1st video signal or the 2nd video signal based on the 2nd selection signal, The 1st clock signal which is the 1st reference signal which synchronized with the synchronizing signal of the 1st video signal supplied from the 1st image processing selection output

means, 1st reference signal generating means to generate the 1st image terminate signal which shows the 1st image start signal and image termination timing which show image initiation timing, The 2nd clock signal which is the 2nd reference signal which synchronized with the synchronizing signal of the 2nd video signal supplied from the 2nd image processing selection output means, 2nd reference signal generating means to generate the 2nd image terminate signal which shows the 2nd image start signal and image termination timing which show image initiation timing, Said 1st image start signal, the 2nd image start signal and the 1st clock signal, or the 2nd clock signal is chosen based on the 1st selection signal. The 1st signal selection means supplied to the 1st scan control means as the 1st reference signal, said 1st image start signal, and the 2nd image start signal, The 1st clock signal or the 2nd clock signal is chosen based on the 2nd selection signal. To the 2nd scan control means, as the 2nd reference signal The 2nd signal selection means to supply The 1st display-control signal supplied to the 1st scan control means The display-control signal inputted from 1st control signal acquisition means [which is obtained based on the 1st sampling signal], 2nd control signal acquisition means [which acquires the 2nd display-control signal supplied to the 2nd scan control means based on the 2nd sampling signal], and the exterior to 1st control signal acquisition means, It is based on the signal supplied from a decoding means to acquire the signal supplied to the 2nd control signal acquisition means and screen change-over control means, and said decoding means. A selection-signal generating means to generate said 1st and 2nd selection signal, said 1st [the], the 1st that are supplied to the 2nd control signal acquisition means, the sampling control means which generates the 2nd sampling signal, The screen change-over control means which consists of 1 / 2 screen signal generation means to generate 1 / 2 screen signals which show 1 screen-display period supplied to the 1st and 2nd scan control means is provided. When said 1 / 2 screen signals show 2 screen-display period The 1st scan control means and the 2nd scan control means so that the image obtained from two video signals which do not synchronize with the pixel on the left-hand side of a display panel and a right-hand side pixel may be displayed When the 1st and 2nd driving signal is generated, respectively and said 1 / 2 screen signals show 1 screen-display period The 1st scan control means and the 2nd scan control means make the frequency of the horizontal scanning clock signal supplied to the 1st and 2nd horizontal scanning circuit, respectively the frequency of the abbreviation 1/2 at the time of 2 screen display. Furthermore, the image display device

characterized by generating in the phase [as] which will serve as an image of one screen if the image scanned in the 1st horizontal scanning circuit and the 2nd horizontal scanning circuit, respectively in the phase of the horizontal scanning start signal supplied to the 1st horizontal scanning circuit and the 2nd horizontal scanning circuit, respectively is doubled.

[Claim 8] The 1st and 2nd reference signal supplied to the 1st scan control means and the 2nd scan control means, respectively In the same or the image display device which performs the display which will be a display panel from a single or two or more images by choosing from a different reference signal and supplying said selection-signal generating means By updating to a value new after the drive scan by the 1st and 2nd scan control means ends the 1st and 2nd selection signal, respectively A term question until the drive scan by the 1st and 2nd scan control means is supplied to a new reference signal from immediately after updating is an image display device according to claim 7 characterized by stopping temporarily.

[Claim 9] By switching the 1st and 2nd reference signal supplied to the 1st and 2nd scan control means, respectively to the same reference signal from a different reference signal In the image display device which has a screen switch function from two screen display to one screen display which consists of a single image the switch control to said single image The renewal of data of the display-control signal supplied to the scan control means controlled by the 1st and 2nd control y acquisition of signal means and sampling control means to display both two screen display and one screen display from a sampling control signal acquisition means It is the image display device according to claim 7 characterized by forbidding until the image terminate signal of the direction which does not perform one screen display from the timing which changes the control signal supplied to a sampling control means is supplied.

=====
[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Field of the Invention] This invention relates to the image display device which carries out the sequential sampling of the picture signal inputted into the display screen of aspect ratio X:Y, and performs image display.

[Description of the Prior Art] The image display device represented by the liquid crystal display employs the description of a thin shape, a light weight, and a low power efficiently. As indicating equipments, such as a personal computer and a word processor, television Or are further used in various fields as a display of a projection mold as a display of a car-navigation system. the active matrix liquid crystal display which comes to connect a switching device with each display pixel especially electrically realizes the good display pixel which does not have a cross talk between contiguity pixels -- research and development are briskly performed from things. Especially, in recent years, it is shifting to the display screen which extended in the direction of a horizontal scanning of aspect ratio 9:16 grade in which a big screen is recognized visually from the display screen of an aspect ratio 3:4. By the way, when the television signal which has the image information of an aspect ratio 3:4 in the liquid crystal display equipped with the display screen of an aspect ratio 9:16 was displayed, in the former, it was displaying by carrying out a sequential sampling by the image processing technique which used the frame memory etc. based on the video signal by which the image processing was carried out beforehand. 1. The block diagram 9 of the conventional image display device is an outline block diagram of the conventional image display device.

(Input-process circuit 1) The input-process circuit 1 consists of a demodulator circuit 103, a matrix circuit 104, and an A/D (analog to digital) conversion circuit 105, as shown in drawing 10 . It restores to the video signal inputted through the input terminal 101,102 in a demodulator circuit 103 to luminance signals Y1 and Y2, chrominance signals C1 and C2, and synchronizing signals S1 and S2, and recovers from a luminance signal and a chrominance signal in the matrix circuit 104 to the three-primary-colors signals R1, G1, and B1, and R2, G2 and

B-2. And synchronizing signals S1 and S2, and the video signal 1 and video signal 2 from which it comes to change said three-primary-colors signal into digital data in the A/D-conversion circuit 105 are supplied to the frame synchronization circuit 2 of drawing 9 .

(Frame synchronization circuit 2) The frame synchronization circuit 2 consists of a control circuit 201 and a frame memory 202, as shown in drawing 11 . Based on the synchronizing signals S1 and S2 supplied to a control circuit 201, writing to the frame memory 202 of said video signal 2 and read-out are controlled, and the video signal 1 and video signal 2 which were able to take frame synchronization are supplied to the data-conversion circuit 3 of drawing 6 .

(Data-conversion circuit 3) The data-conversion circuit 3 changes the data of said video signal 1 and video signal 2 into the data suitable for the screen display of a liquid crystal display 7, and outputs them to the image composition circuit 5.

(Residual region signal generating circuit 4) The residual region signal generating circuit 4 is a circuit which generates the residual region signal which is a signal in term questions other than the effective display period of the image displayed on a liquid crystal display 7. Composition of an image with the video signal inputted through this residual region signal and the data-conversion circuit 3 is performed by the image composition circuit 5, and the compounded image composite signal is outputted to an output circuit 6.

(Output circuit 6) An output circuit 6 performs D/A (digital/analog) transform processing etc., and supplies said image composite signal to the liquid crystal display circuit 7.

(Flat-surface display 7) As the flat-surface display 7 is shown in drawing 12 By connecting with a liquid crystal panel 701 and a liquid crystal panel 701 electrically, and sampling a video signal By control of the vertical-scanning circuit 708 which supplies a scan pulse to the scanning line 704 of the horizontal scanning circuit 709 which supplies a desired electrical potential difference to the signal line 705 of a liquid crystal panel 701, and a liquid crystal panel 701, and the polarity-reversals signal (POL) from a driving signal 711 In order to make the common electrical-potential-difference generating circuit 710 which generates the common electrical potential difference (VCOM) by which hears each horizontal scanning term and level reversal is carried out to reference voltage at each vertical-scanning term question breath, and is supplied to a counterelectrode 706, the drive signal generating circuit 711, and a liquid crystal panel 701 drive appropriately It consists of a video-signal processing circuit 712 which performs image

processing of a gamma correction etc., and a level inverter circuit 713. (Level inverter circuit 713) By control of the polarity-reversals signal (POL) from the drive signal generating circuit 711, synchronizing with level reversal of a common electrical potential difference (VCOM), the level inverter circuit 713 carries out level reversal to reference voltage by the opposite phase, and outputs the video signal supplied from the video-signal processing circuit 712 to the horizontal scanning circuit 709. Thereby, the polarity of liquid crystal applied voltage is reversed periodically.

(Liquid crystal panel 701) Although a liquid crystal panel 701 is not illustrated, an array substrate and an opposite substrate hold the liquid crystal layer of a twist nematic mold through the orientation film, respectively, and each other are held by the sealant. Moreover, the polarizing plate is arranged at each substrate outside surface, respectively so that the deviation shaft may intersect perpendicularly. The array substrate is arranged so that two or more data signal lines 705 and two or more scan signal lines 704 may carry out an abbreviation rectangular cross. Near the crossover of each data signal line 705 and each scan signal line 704, the pixel electrode 702 which consists of I.T.O (Indim Tin Oxide) through the switching element 703 which consists of a thin film transistor (it is hereafter called TFT for short.) of the reverse stagger mold with which it comes to use an amorphous silicon thin film for a barrier layer, respectively is arranged. Moreover, although an array substrate is not illustrated, to the scan signal line 704, abbreviation parallel are equipped with the auxiliary capacity line C_j ($j=1, 2, \dots$) arranged by having the field which moreover overlaps the pixel electrode 702, and auxiliary capacity (C_s) is formed in them by the pixel electrode and the auxiliary capacity line C_j . The gap of the switching element 703 and the data signal line 705 which consist of TFT formed in an array substrate although an opposite substrate is not illustrated, and the pixel electrode 702, The protection-from-light layer of the shape of a matrix for shading each of the gap of the scan signal line 704 and the pixel electrode 702, In order to realize color display, it has the red (R) stationed between protection-from-light layers, green (G), and the color filter layer which consists of the blue (B) three primary colors, and the counterelectrode 706 which consists of I.T.O. is arranged further. TFT which constitutes each switching element 703 contains the gate electrode connected to the scan signal line 704, the drain electrode connected to the pixel electrode 702, and the source electrode $**$ (ed) by the data signal line $**$ 1. And by the scan pulse supplied through this scan signal line 704, a source' drain electrode

question flows and the potential of the data signal line 705 set up according to the data signal line is impressed to a pixel electrode. The effective viewing area of a liquid crystal panel 701 consists of two or more display pixels which consist of liquid crystal layers arranged between these pixel electrode 702 and a counterelectrode at the pixel electrode 702, a counterelectrode 706, and a list, and the light transmittance of each display pixel is controlled by the potential difference between these pixel electrode 702 and a counterelectrode 706. (Drive signal generating circuit 711) Thus, the drive signal generating circuit 711 of the liquid crystal panel 701 mentioned above outputs each of a vertical-scanning clock signal (CPV), a vertical-scanning start signal (STV), and a vertical-scanning inhibiting signal (GOE) to the vertical-scanning circuit 704 while supplying a horizontal scanning clock signal (CPH), a horizontal scanning start signal (STH), and the write-in signal (CX) to a display pixel to the horizontal scanning circuit 709.

2. The example of 1 configuration of the configuration data-conversion circuit 3 of the data-conversion circuit 3 is shown in drawing 13 , and the display gestalt of a liquid crystal display 7 is shown in drawing 14 . The configuration of drawing 13 is explained to a detail using drawing 14 . The data-conversion circuit 3 is written in with the 1H memory circuit 301,302,310, is read with a control circuit 303,311, and consists of a control circuit 304,312, a selection circuitry 305,306,307,308, and a digital filter 309. The case where it displays with the display gestalt of the aspect ratio 9:16 as shows the viewing area of a liquid crystal panel 701 to drawing 14 (a) is explained. A selection circuitry 307 supplies a video signal 1 or a video signal 2 to the image composition circuit 5 through a selection circuitry 306. Thus, since the supplied video signal is displayed on the screen of an aspect ratio 9:16 by making 80% of period of a horizontal scanning period (1H) into an effective display period, the display gestalt of drawing 14 (a) is acquired. The viewing area of a liquid crystal panel 701 is divided into Field A and Field B of an aspect ratio 9:8 as shown in drawing 14 (b), and the case where a video signal is displayed on each field is explained. The write-in control circuit 303 is controlled to thin out two video signals 1 and video signal 2 which are supplied from the frame synchronization circuit 2 and which carried out frame synchronization in the 1H memory circuit 301,302 based on the synchronizing signal S1 and clock signal which are inputted, to thin out the number of data to one half, respectively, and to write in. The read-out control circuit 304 so that all the data written in $1 / 2H$ term question based on the

synchronizing signal S1 and clock signal which are inputted may be read Control ** 1 ***, A selection circuitry 307 supplies the video signal by which Time Division Multiplexing was carried out by carrying out the selection output of the video signal read from said 1H memory circuit 301, 302 through a selection circuitry 305 to the image composition circuit 5. Thus, since the supplied video signal is displayed on the screen of an aspect ratio 9:16 by making 80% of period of a horizontal scanning term question (1H) into an effective display term question A video signal 1, a video signal 2 or a video signal 2, and a video signal 1 can be displayed on each of the field A of drawing 14 (b), and Field B. Next, the viewing area of a liquid crystal panel 701 is divided into the 1st viewing area A of an aspect ratio 9:12 (3:4), and the 2nd viewing area B of an aspect ratio 9:4 as shown in drawing 14 (c) and (d), and the case where display a video signal on Field A and a residual region signal is displayed on Field B is explained. A selection circuitry 308 supplies the video signal i inputted or a video signal 2 to a digital filter 309. It asks for a digital filter 309 by carrying out interpolation data processing of the three data based on the interpolation operation control signal supplied from the write-in control circuit 311, a interpolation clock signal, and a clock signal from four data of the video signal supplied through a selection circuitry 308, and it is supplied to the 1H memory circuit 310. The write-in control circuit 311 is controlled again to write the output signal of a digital filter 309 in the 1H memory circuit 310 with a interpolation clock. The read-out control circuit 312 is controlled to read with a clock all the data written in with the interpolation clock based on the synchronizing signal S1 and clock signal which are inputted. A selection circuitry 307 supplies the video signal supplied from said 1H memory circuit 310 to the image composition circuit 5. the image composition circuit 5 makes 80% of period of the horizontal scanning period (1H) of a video signal an effective display period, and is effective -- the video signal supplied at the period of display period $\times 3/4$ from the data-conversion circuit 3 by which time-base-compaction processing was carried out, and the remainder are effective -- the residual region signal supplied from the residual region signal generating circuit 4 at the period of display period $\times 1/4$ is compounded, and it outputs to the output-processing circuit 6. Since the image of an effective display period is displayed on the screen of an aspect ratio 9:16, the field A of drawing 14 (c) and (d) and Field B can be alike, respectively, and said video signal and residual region signal can be displayed.

The explanatory view 15 of 3.2 screen display is drawing showing the display gestalt in two screen display. Drawing 15 (a) is drawing showing the display gestalt in two screen display of drawing 11 (b), and is displayed that the image displayed becomes the ellipse display with a longwise round head as shown in drawing. Drawing 15 (b) is based on a synchronizing signal S1 and a clock signal in the write-in control circuit 303 of drawing 13 . Thin out two video-signal 1 and the video signals 2 which are supplied from the frame synchronization circuit 2 and which carried out frame synchronization in the 1H memory circuit 301,302, thin out the number of data to one half, respectively, and it controls to write in. In the approach of controlling to read two thirds among all the data in which the read-out control circuit 304 was written at $1/2H$ period based on the synchronizing signal S1 and 'clock signal Or the write-in control circuit 303 is based on a synchronizing signal S1 and a clock signal. Thin out two video signals 1 and video signal 2 which are supplied from the frame synchronization circuit 2 and which carried out frame synchronization in the 1H memory circuit 301,302, thin out the number of data to two thirds, respectively, and it controls to write in. It is carried out and two thirds is expressed as the approach using either of the approaches of controlling to read all the data written in $1/2H$ period based on read-out control circuit 304 synchronizing signal S1 and the clock signal to the horizontal direction of the image which should be displayed. For example, the screen of an aspect ratio 9:8 where the both sides of the image of an aspect ratio 3:4 were cut every $[3/2]$, respectively is displayed. In this display, as shown in drawing, a circle turns into a circle. Drawing 15 (c) is based on a synchronizing signal S1 and a clock signal in the write-in control circuit 303 of drawing 13 . Thin out two video signals 1 and video signal 2 which are supplied from the frame synchronization circuit 2 and which carried out frame synchronization in the 1H memory circuit 301,302, thin out the number of data to one half, respectively, and it controls to write in. It controls to read all the data in which the read-out control circuit 304 was written by $YU/2H$ term question based on the synchronizing signal S1 and the clock signal. It is carried out by lengthening the vertical-scanning circuit 708 between 1, and scanning it through the drive signal generating circuit 711 of the flat-surface display 7, and as shown in drawing, the upper and lower sides serve as a display which is a residual region.

[Problem(s) to be Solved by the Invention] Thus, the video signal which has in the former the image information from which an aspect ratio differs in the display screen of aspect ratio 9:16 grade an aspect ratio

9:12 -- a field and an aspect ratio 9:4 -- a field and an aspect ratio 9:8, in order to display on the field of the aspect ratio of arbitration further, the field of right and left of the display screen, and The data-conversion circuit 3 became complicated and it was not able to realize cheaply without increase of a circuit scale for the generating circuit of the interpolation operation control signal of the write-in control circuit 311 and a interpolation clock signal and the circuitry of a digital filter 309 especially to correspond to the aspect ratio of arbitration. Moreover, by making into the main signal one which is displayed on right and left of a display panel of video signals, in order to take the field or frame synchronization by controlling read-out from the memory of the video signal of another side, when the main signal was an unstable signal, the technical problem that an image was stabilized and it was not displayed occurred. In case a car-navigation system receives TV broadcast especially Since the shake of the perpendicular direction of the image by freezing of the screen by fluctuation or the perpendicular signal of the image to a horizontal direction not being detected and incorrect detection of a perpendicular signal etc. will arise if TV signal may serve as a weak-electric-current community and makes TV signal the main signal in this case, Signals, such as map information generated with the car-navigation system currently installed in in the car, always needed to be used for the main signal. For this reason, the signal transmitted from the outside of a vehicle was able to display only one line. This invention aims at preventing lack of the image generated at the time of a screen switch in the image display device which performs two screen display by two video signals which do not synchronize.

[Means for Solving the Problem] The display panel which has the viewing area which the 1st invention consisted of two or more display pixels arranged in the shape of a matrix at the intersection of two or more scan signal lines and two or more data signal lines, and was electrically divided into independent N individual ($N \geq 2$), With the vertical-scanning circuit connected to said scan signal line, and the horizontal scanning circuit of N individual connected to the data signal line wired by said viewing area by which N division was carried out, respectively, mutually Asynchronous, Or the video-signal processing means of N individual which acquires the status signal of N individual displayed on the viewing area of said N individual from the video signal of N individual with which the specifications differ, It is based on the synchronizing signal obtained from the video signal of said N individual, respectively, and the display-control signal inputted from the exterior.

It is the flat-surface display characterized by providing a drive signal generation means to generate the driving signal of N individuals, such as a vertical-scanning clock signal supplied to said vertical-scanning circuit and horizontal scanning circuit of said N individual, a vertical-scanning start signal, a horizontal scanning clock signal of N individual, and a horizontal scanning start signal of N individual. Two or more 1st data signal lines in which the 2nd invention carries out an abbreviation rectangular cross with two or more 1st scan signal lines and said 1st scan signal line, 1st display 1 field which consists of 1st pixel electrodes arranged through a switching device near the intersection with each aforementioned 1st scan signal line and a data signal line, Two or more 2nd scan signal lines arranged along with said 1st scan signal line, The 2nd viewing area which consists of 2nd pixel electrodes arranged through a switching device near the intersection of two or more 2nd data signal lines which carry out an abbreviation rectangular cross with said 2nd scan signal line, and each aforementioned 2nd scan signal line and data signal lines, Preparation ***** and the 1st and 2nd vertical-scanning circuit connected to said 1st and 2nd scan signal line, The 1st and 2nd video-signal processing circuit connected to said 1st and 2nd data signal line and a drive signal generation means are provided. Said drive signal generation means The 1st drive circuit section which outputs the 1st video signal and the 1st horizontal control signal to said ** YU video-signal processing circuit while outputting a ** YU perpendicular control signal to said 1st vertical-scanning circuit based on the 1st input video signal inputted from the outside, It is based on the 2nd input video signal with which the exterior is ***** (ed) and asynchronous [said / 1st input video signal and asynchronous] differ from a specification. While outputting the 2nd perpendicular control signal to said 2nd vertical-scanning circuit, it is the image display device characterized by including the 2nd drive circuit section which outputs the 2nd video signal and the 2nd horizontal control signal to said 2nd video-signal processing circuit. Moreover, two or more display pixels by which this invention has been arranged in the shape of a matrix at the intersection of two or more scan signal lines of a display panel mostly carried out 2 ****s in the center, and two or more data signal lines, The vertical-scanning circuit connected to said two or more scan signal lines carried out 2 ****s, respectively, It has the horizontal scanning circuit which supplies a status signal to the data signal line of display pixel plurality. By supplying a vertical-scanning clock signal and a vertical-scanning start signal to said vertical-scanning circuit, and supplying a

horizontal scanning clock signal, a horizontal scanning start signal, and a video signal to said horizontal scanning circuit. In the flat-surface display which displays the image obtained from two video signals which do not synchronize with right and left of said display panel. The vertical-scanning clock signal supplied to the 1st vertical-scanning circuit and the 1st horizontal scanning circuit which are connected to the pixel on the left-hand side of a display panel, The 1st scan control means which generates the 1st driving signal, such as a vertical-scanning start signal, a horizontal scanning clock signal, and a horizontal scanning start signal, The vertical-scanning clock signal supplied to the 2nd vertical-scanning circuit and the 2nd horizontal scanning circuit which are connected to the pixel on the right-hand side of a display panel, The 2nd scan control means which generates the 2nd driving signal, such as a vertical-scanning start signal, a horizontal scanning clock signal, and a horizontal scanning start signal, The 1st image processing selection output means which acquires the 1st status signal supplied to said 1st horizontal scanning circuit from the 1st video signal or the 2nd video signal based on the 1st selection signal, The 2nd image processing selection output means which acquires the 2nd status signal supplied to said 2nd horizontal scanning circuit from the 1st video signal or the 2nd video signal based on the 2nd selection signal, The 1st clock signal which is the 1st reference signal which synchronized with the synchronizing signal of the 1st video signal supplied from the 1st image processing selection output means, 1st reference signal generating means to generate the 1st image terminate signal which shows the 1st image start signal and image termination timing which show image initiation timing, The 2nd clock signal which is the 2nd reference signal which synchronized with the synchronizing signal of the 2nd video signal supplied from the 2nd image processing selection output means, 2nd reference signal generating means to generate the 2nd image terminate signal which shows the 2nd image start signal and image termination timing which show image initiation timing, Said 1st image start signal, the 2nd image start signal and the 1st clock signal, or the 2nd clock signal is chosen based on the 1st selection signal. The 1st signal selection means supplied to the 1st scan control means as the 1st reference signal, said 1st image start signal, and the 2nd image start signal, The 1st clock signal or the 2nd clock signal is chosen based on the 2nd selection signal. To the 2nd scan control means, as the 2nd reference signal The 2nd signal selection means to supply The 1st display-control signal supplied to the 1st scan control means The display-control signal inputted from 1st control

signal acquisition means [which is obtained based on the 1st sampling signal], 2nd control signal acquisition means [which acquires the 2nd display-control signal supplied to the 2nd scan control means based on the 2nd sampling signal], and the exterior to 1st control signal acquisition means, A selection-signal generating means to generate said 1st and 2nd selection signal based on the signal supplied from a decoding means to acquire the signal supplied to the 2nd control signal acquisition means and screen change-over control means, and said decoding means, It consists of a screen change-over control means which consists of 1 / a 2 screen signal generation means to generate 1- / 2 screen signals which show 1 screen-display period supplied to the said 1st, 1st [which are supplied to the 2nd control signal acquisition means], sampling control means [which generates the 2nd sampling signal], 1st, and 2nd scan control means. Furthermore, it is shown in the image display device with which a selection-signal generating means has the function in which a period until the drive scan by the 1st and 2nd scan control means is supplied to a new reference signal from immediately after updating by updating the 1st and 2nd selection signal to a value new after a drive scan according [this invention] to the 1st and 2nd scan control means respectively is completed stops temporarily. Moreover, the screen switch control to one screen display which consists of a single image from two screen display by the 1st [of this invention], and 2nd control signal acquisition means and sampling control means The renewal of data of the display-control signal supplied to the scan control means controlled to display both two screen display and one screen display from a sampling control signal acquisition means It is shown in the image display device characterized by forbidding until the image terminate signal of the direction which does not perform one screen display from the timing which changes the control signal supplied to a sampling control means is supplied.

[Embodiment of the Invention] Hereafter, the image display device of one example of this invention is explained with reference to a drawing.

1. The 1st example division 1 of the whole configuration of an image display device is the block diagram showing the 1st example of the image display device concerning this invention.

(Structure of a liquid crystal panel 701) As for a liquid crystal panel 701, an array substrate and an opposite substrate hold the liquid crystal layer of a twist nematic mold through the orientation film, respectively, and it is mutually held by the CIAL material. Moreover, the polarizing plate is arranged at each substrate outside surface, respectively so that the deviation shaft may intersect perpendicularly.

The array substrate is arranged so that two or more data signal lines 705 and two or more scan signal lines 704 may carry out an abbreviation rectangular cross. Near the intersection of each data signal line 705 and each scan signal line 704, the pixel electrode 702 which consists of I.T.O (Indium Tin Oxide) through the switching element 703 which consists of a thin film transistor (it is hereafter called TFT for short.) of the reverse stagger mold with which it comes to use an amorphous silicon thin film for a barrier layer, respectively is arranged. It has the auxiliary capacity line C_j ($j=1, 2, \dots$) arranged by an array substrate having the field which moreover overlaps the pixel electrode 702 at abbreviation parallel to the scan signal line 704, and auxiliary capacity (C_s) is formed by the pixel electrode and the auxiliary capacity line C_j . The gap of the switching element 703 and the data signal line 705 by which an opposite substrate consists of TFT formed in an array substrate, and the pixel electrode 702, The protection-from-light layer of the shape of a matrix for shading each of the gap of the scan signal line 704 and the pixel electrode 702, In order to realize color display, it has the red (R) stationed between protection-from-light layers, green (G), and the color filter layer which consists of the blue (B) three primary colors, and the counterelectrode 706 which consists of I.T.O. is arranged further. TFT which constitutes each switching element 703 contains the gate electrode connected to the scan signal line 704, the drain electrode connected to the pixel electrode 702, and the source electrode connected to a data signal line. And with the scan signal supplied through this scan signal line 704, a source drain electrode question flows and the potential of the data signal line 705 set up according to the data signal line is impressed to a pixel electrode. The effective viewing area of a liquid crystal panel 701 consists of two or more display pixels which consist of liquid crystal layers arranged between these pixel electrode 702 and a counterelectrode at the pixel electrode 702, a counterelectrode 706, and a list, and the light transmittance of each display pixel is controlled by the potential difference between these pixel electrode 702 and a counterelectrode 706.

(The 1st video-signal processing circuit 712-1) It supplies the synchronizing signal of ***** to the drive signal generating circuit 711 while it performs gamma processing and supplies it to the 1st level inverter circuit 713-1, after 1st video-signal processing circuit 712-1 restores to the video signal inputted through the terminal 101 to the three-primary-colors signals R1, G1, and B1.

(The 1st level inverter circuit 713-1) The 1st level inverter circuit

713-1 By control of the polarity-reversals signal 1 (POL1) supplied from the drive signal generating circuit 711 It is the common electrical potential difference 1 about the video signal supplied from the 1st video-signal processing circuit 712-1. Synchronizing with level reversal of VCOM1, level reversal is carried out to reference voltage by the opposite phase, and the 1st SW circuit 714-1 and the 2nd SW circuit 714-2 are supplied.

(The 2nd video-signal processing circuit 712-2) It supplies the synchronizing signal of a video signal 1 to the drive signal generating circuit 711 while it performs gamma processing and supplies it to the 2nd level inverter circuit 713-2, after the 2nd video-signal processing circuit 712-2 restores to the video signal inputted through the terminal 102 to the three-primary-colors signals R2 and G2 and B-2.

(The 2nd level inverter circuit 713-2) The 2nd level inverter circuit 713-2 By control of the polarity-reversals signal 2 (POL2) supplied from the drive signal generating circuit 711 the video signal supplied from the 2nd video-signal processing circuit 712-2 -- level reversal of the common electrical potential difference 2 (VCOM2) -- synchronizing -- an opposite phase -- reference voltage -- receiving -- level reversal -- carrying out -- the 1st SW circuit 714-1 -- ** -- the 2nd SW circuit 714-2 is supplied.

(The 1st SW circuit 714-1, the 2nd SW circuit 714-2) Either of the video signals supplied from the 1st level inverter circuit 713-1 and the 2nd level inverter circuit 713-2 is chosen with the control signal supplied from the drive signal generating circuit 711, and the 1st SW circuit 714-1 and the 2nd SW circuit 714-2 output it to 1st horizontal scanning circuit 709-YU and the 2nd horizontal scanning circuit 709-2, respectively.

(The 1 common electrical-potential-difference generating circuit 710-1) the -- the 1 common electrical-potential-difference generating circuit 710-1 generates the common electrical potential difference 1 (VCOM1) in which level reversal is carried out by control of the polarity-reversals signal 1 (POL1) supplied from the drive signal generating circuit 711 to a reference potential for every horizontal scanning period and vertical-scanning period, and supplies it to the 1st counterelectrode.

(The 2 common electrical-potential-differences generating circuit 710-2) the -- the 2 common electrical-potential-differences generating circuit 710-2 generates the common electrical potential difference 2 (VCOM2) in which level reversal is carried out by control of the polarity-reversals signal 2 (POL2) supplied from the drive signal generating circuit 711 to a reference potential for every horizontal scanning period and vertical-

scanning period, and supplies it to the 2nd counterelectrode.

(Drive signal generating circuit 711) The drive signal generating circuit 711 consists of a screen-display control circuit 715, a 1st scan control circuit 716-1, and a 2nd scan control circuit 716-2.

(Screen-display control circuit 715) The screen-display control circuit 715 generates 1st H reference signal and 1st V reference signal from the synchronizing signal 1 supplied from the 1st video-signal processing circuit 712-1, and generates 2nd H reference signal and 2nd V reference signal from the synchronizing signal 2 supplied from the 2nd video-signal processing circuit 712-2. And based on the screen-display control signal supplied from a terminal 100, the same or a different H reference signal, and V reference signal are chosen, and the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 are supplied. Moreover, the screen-display control circuit 715 supplies the screen-display signal based on the screen-display control signal supplied from a terminal 100 to the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2.

(The 1st scan control circuit 716-1) The 1st scan control circuit 716-1 It is based on said screen-display signal, and H reference signal and V reference signal. A horizontal scanning start signal (STH1), While generating a horizontal scanning clock signal (CPH1) and the write-in signal (CX1) to a display pixel and supplying the 1st horizontal scanning circuit 709-1 A vertical-scanning clock signal (VCK1), a vertical-scanning start signal (STV1), and a vertical-scanning inhibiting signal (GOE 11-13) are generated, and the 1st vertical-scanning circuit 708-1 is supplied.

In the 2nd scan control circuit (The 2nd scan control circuit 716-2) .16-2 It is based on said screen-display signal, and H reference signal and V reference signal. A horizontal scanning start signal (STH2), While generating a horizontal scanning clock signal (CPH2) and the write-in signal (CX2) to a display pixel and supplying the 2nd horizontal scanning circuit 709-2 A vertical-scanning clock signal (VCK2), a vertical-scanning start signal (STV2), and a vertical-scanning inhibiting signal (GOE 21-23) are generated, and the 2nd vertical-scanning circuit 708-2 is supplied.

(The 1st vertical-scanning circuit 708-1, the 2nd vertical-scanning circuit 708-2) The 1st vertical-scanning circuit 708-1 and the 2nd vertical-scanning circuit 708-2 perform drive actuation which supplies a scan signal to each of the scan signal line 704 divided in the center of abbreviation of a display panel. This 1st vertical-scanning circuit 708-1 and the 2nd vertical-scanning circuit 708-2 correspond to two or more

scan signal lines 704. Have the shift register circuit which consists of two or more flip-flops connected to a serial in order to transmit the vertical-scanning start signals 1 and 2 (STV 1 and 2), respectively. This shift register circuit answers the vertical-scanning clock signal 1 and 2 (CPV 1 and 2), and the shift action of the vertical-scanning start signals 1 and 2 (STV 1 and 2) is performed. A scan signal is outputted to the scan signal line 704 corresponding to the flip-flop which latched the vertical-scanning start signals 1 and 2 (STV 1 and 2). Moreover, said scan signal has the period outputted to the scan signal line 704 with a vertical-scanning inhibiting signal (GOE 11-13, GOE21-GOE23) restricted.

(The 1st horizontal scanning circuit 709-1, the 2nd horizontal scanning circuit 709-2) The 1st horizontal scanning circuit 709-1 and the 2nd horizontal scanning circuit 709-2 the scan signal which carried out sample hold one by one by having made into the data signal the video signals 1 and 2 by which level reversal was carried out, respectively, and was divided in the center of abbreviation of a display panel -- thin -- so that a video signal may be supplied to two or more pixel electrodes 702 with which 2 ****s of ** were made 704, respectively Drive actuation which drives two or more data signal lines 705 according to a data signal is performed. This 1st horizontal scanning circuit 709-1 and the 2nd horizontal scanning circuit 709-2 have at least one shift register which consists of two or more flip-flops connected to a serial, in order to transmit the horizontal scanning start signals 1 and 2 (STH 1 and 2), respectively. Each shift register answers the horizontal scanning clock signals 1 and 2 (CPH 1 and 2), performs the shift action of the horizontal scanning start signals 1 and 2 (STH 1 and 2), carries out sample hold of the video signal to the timing which outputs each flip-flop or the horizontal scanning start signals 1 and 2 (STH 1 and 2), and supplies it to the data signal line 705 corresponding to this flip-flop as a data signal.

2. The block diagram 2 of the drive signal generating circuit 711 is drawing showing the example of a configuration of the screen-display control circuit 715. Drawing 3 is drawing showing the 1st example of a configuration of the reference signal generating circuit 717, and drawing 4 is drawing showing the 2nd example of a configuration of the reference signal generating circuit 717. Actuation of the screen-display control circuit 711 concerning this invention is explained to a detail using drawing 2 , and 3 and 4. The screen-display control circuit 715 is constituted by the 1st reference signal generating circuit 717-1, the 2nd reference signal generating circuit 717-2, and the control circuit

718. Moreover, the 1st reference signal generating circuit 717-1 and the 2nd reference signal generating circuit 717-2 consist of a configuration of drawing 3 or drawing 4 , respectively.

(1st example of a configuration of the reference signal generating circuit 717) The reference signal generating circuit 717 of drawing 3 is constituted by the PLL circuit 719, the V synchronous detector 724, the V counter 725, H reference signal generating circuit 726, and V reference signal generating circuit 727. As for the PLL circuit 719, at least a loop filter 720 and a voltage controlled oscillator (VCO) 721 consist of a phase comparator circuit 722 and an H counter 723. In the PLL circuit 719, the phase contrast of the Horizontal Synchronizing signal of the synchronizing signal with which the phase comparator circuit 722 is supplied from the video-signal processing circuit 712, and the criteria level signal supplied from the H counter 723 is detected, and the error signal according to this phase contrast is generated. A loop filter 720 generates the signal level which removed the high frequency component and the noise from the error signal acquired from the phase comparator circuit 722. VCO721 generates a reference clock signal based on said signal level, and supplies this reference clock signal to the V synchronous detector 724, the V counter 725, H reference signal generating circuit 726, and V reference signal generating circuit 727 grade the H counter 723 and if needed. The H counter 723 counts the number of pixels for one line, carries out dividing of the reference clock signal corresponding to this number of pixels, and only supplies considering as a criteria level signal to the phase comparator circuit 722. Moreover, the H counter 723 supplies the 2nd criteria level signal of a frequency f_H and the 3rd criteria level signal of a frequency $n \times f_H$ with which the phases which each circuit block needs differ to the V counter 725, H reference signal generating circuit 726, and V reference signal generating circuit 727. H reference signal generating circuit 726 generates H reference signal used as the criteria for generating various level drive control signals based on said reference signal, and supplies it to a control circuit 718. V synchronizing signal detector 724 detects a Vertical Synchronizing signal from the synchronizing signal supplied from the video-signal processing circuit 712, and supplies it to the V counter 725. The V counter 725 consists of counters with the function used as $525H/2$ of a field period, when for example, a self-propelled period is NTSC system. It operates so that a phase may be drawn in it based on a Vertical Synchronizing signal and a criteria level signal and a value may be reset, when it operates to it so that self-reset may be carried out and

it may run by himself with the period of $525H/2$ when the criteria level signal of $2xfH(s)$ is supplied to this V counter 725 from said H counter 723 and a Vertical Synchronizing signal is not supplied to it from said V synchronous detector 724, and a Vertical Synchronizing signal is supplied to it. Moreover, V counter supplies the criteria perpendicular signal which synchronized with the Vertical Synchronizing signal to V reference signal generating circuit 727. V reference signal generating circuit 727 generates V reference signal used as the criteria for generating various vertical-drive control signals based on said criteria perpendicular signal, and supplies it to a control circuit 718. That is, the reference signal generating circuit 717 by the configuration of this drawing 3 can supply V reference signal to a control circuit 71-8 at stability, also when the synchronizing signal which cannot detect a Vertical Synchronizing signal in the V synchronous detector 724 is inputted. Although it has generated in this example in H reference signal generating circuit 726 and V reference signal generating circuit 727 from H reference signal, the criteria level signal to which V reference signal is supplied, respectively, and the criteria perpendicular signal The signal supplied to the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 through a control circuit 715 When it is the signal which consists of two kinds of information, a level timing signal and a perpendicular timing signal Not using said H reference signal generating circuit 726 and V reference signal generating circuit 727, you may make it the configuration which supplies said criteria level signal and a criteria perpendicular signal to the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 directly through a control circuit 715.

(2nd example of a configuration of the reference signal generating circuit 717) Except for the reference signal generating circuit 717 of drawing 4 being a configuration which supplies directly the perpendicular reference signal detected in the V synchronous detector 724 of the reference signal generating circuit 717 of drawing 3 to V reference signal generating circuit 727, others are the same configurations. This configuration is used when a synchronizing signal is supplied to the reference signal generating circuit 717 at stability, and it has the advantage in which there are few circuit scales and they end rather than the configuration of drawing 3 .

(Control circuit 718) The control circuit 718 has played three roles. The 1st role supplies a screen-display signal, H reference signal, and V reference signal to the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2. Moreover, the 1st SW circuit 714-1 and the 2nd SW

circuit 714-2 are controlled so that the selected video signal is supplied to the 1st horizontal scanning circuit 709-1 and the 2nd horizontal scanning circuit 709-2. the 2nd role -- the [the 1st level inverter circuit 713-1, the 2nd level inverter circuit 713-2, and] -- the [the 1 common electrical-potential-difference generating circuit 710-1 and] -- it is in supplying a control signal to the 2 common electrical-potential-differences generating circuit 710-2. These are controlled based on the screen-display control signal supplied from the synchronizing signal 1 supplied from the 1st video-signal processing circuit 712-1, the synchronizing signal 2 by which salary is carried out from the 2nd video-signal processing circuit 712-2, and the outside. The 1st role is explained a little in more detail. In this role, a control circuit 718 performs four kinds of actuation based on an image display control signal. And it is control in case ** YU actuation and the 2nd actuation are one screen display, and is control in case the 3rd actuation and the 4th actuation are two screen display. In addition, this method of presentation is explained in detail later.

(1) Supply the screen-display signal, H reference signal, and V reference signal of a video signal 1 to the 1st 1st scan control circuit 716-1 of actuation, and the 2nd scan control circuit 716-2. A video signal 1 controls the 1st SW circuit 714-1 and the 2nd SW circuit 714-2 so that both the 1st horizontal scanning circuit 709-1 and the 2nd horizontal scanning circuit 709-2 are supplied.

(2) Supply the screen-display signal, H reference signal, and V reference signal of a video signal 2 to the 2nd 1st scan control circuit 716-1 of actuation, and the 2nd scan control circuit 716-2. A video signal 2 controls the 1st SW circuit 714-1 and the 2nd SW circuit 714-2 so that both the 1st horizontal scanning circuit 709-1 and the 2nd horizontal scanning circuit 709-2 are supplied.

(3) Supply the screen-display signal, H reference signal, and V reference signal of a video signal 1 to the 3rd 1st scan control circuit 716-1 of actuation. The screen-display signal of a video signal 2 and an H reference signal **** V reference signal are supplied to the 2nd scan control circuit 716-2. The 1st SW circuit 714-1 and the 2nd SW circuit 714-2 are controlled so that a video signal 5 is supplied to the 1st horizontal scanning circuit 709-1, and a video signal 2 is supplied to the 2nd horizontal scanning circuit 709-2.

(4) Supply the screen-display signal, H reference signal, and V reference signal of a video signal 2 to the 4th 1st scan control circuit 716-1 of actuation. The screen-display signal of a video signal 1 and an H reference signal **** V reference signal are supplied to the 2nd scan

control circuit 716-2. The 1st SW circuit 714-1 and the 2nd SW circuit 714-2 are controlled so that a video signal 2 is supplied to the 1st horizontal scanning circuit 709-1, and a video signal 1 is supplied to the 2nd horizontal scanning circuit 709-2.

The explanatory view 5 of 3.1 screen display is drawing showing the display gestalt in one screen display. The explanation about this one screen display is described below. When carrying out one screen display, one video signal is chosen between two video signals inputted into the 1st video-signal processing circuit 712-1 or the 2nd video-signal processing circuit 712-2, and only the screen reproduced from the video signal is displayed. The screen-display control circuit 715 is the case where the 1st above mentioned actuation or 2nd actuation is performed. Namely, 1st H reference signal and 1st V reference signal which were generated from the synchronizing signal 1 with which the screen-display control circuit 715 is supplied from the 1st video-signal processing circuit 712-1, 2nd H reference signal generated from the synchronizing signal 2 supplied or 2nd V reference signal is chosen from the 2nd video-signal processing circuit 712-2 based on the screen-display control signal supplied from a terminal 100. The same H reference signal and V reference signal are supplied to the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2. Moreover, the 1st SW circuit 714-1 and the 2nd SW circuit 714-2 are controlled so that the selected video signal is supplied to the 1st horizontal scanning circuit 709-1 and the 2nd horizontal scanning circuit 709-2. The screen-display signal with which the 1st scan control circuit 716-1 is supplied through the screen-display control circuit 715, While generating a horizontal scanning start signal (STH1), a horizontal scanning clock signal (CPH1), and the write-in signal (CX1) to a display pixel and supplying the 1st horizontal scanning circuit 709-1 based on H reference signal and V reference signal A vertical-scanning clock signal (VCK1), a vertical-scanning start signal (STV1), and a vertical-scanning inhibiting signal (GOE 11-13) are generated, and the 1st vertical-scanning circuit 708-1 is supplied. The screen-display signal with which the 2nd scan control circuit 716-2 is supplied through the screen-display control circuit 715, While generating a horizontal scanning start signal (STH2), a horizontal scanning clock signal (CPH2), and the write-in signal (CX2) to a display pixel and supplying the 2nd horizontal scanning circuit 709-2 based on H reference signal and V reference signal A vertical-scanning clock signal (VCK2), a vertical-scanning start signal (STV2), and a vertical-scanning inhibiting signal (GOE 21-23) are generated, and the 2nd vertical-scanning circuit 708-2 is supplied.

(1st example of a display) Drawing 5 (a) is drawing having shown the gestalt which displays the video signal of an aspect ratio 3:4 on the display panel of an aspect ratio 9:16 as it is, and is displayed that the image displayed becomes the ellipse display with an oblong round head 1 as shown in drawing. In this display, the horizontal scanning start signal (STH1) or horizontal scanning start signal (STH2) which the 1st scan control circuit 716-1 or the 2nd scan control circuit 716-2 generates is generated so that the divided sampling period pixel inter-electrode [that] in the video signal supplied to two or more pixel electrodes 702 carried out 2 ****s with the scan signal line 704 divided in the center of abbreviation of a display panel may become fixed. Moreover, the horizontal scanning clock signal (CPH1) or horizontal scanning clock signal (CPH2) which the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 generate is generated as a wave which forbids a sampling as the wave does not change out of the period which the same signal wave form or a horizontal scanning circuit samples. Furthermore, it is generated as a signal of the same or different timing within the period when the 1st horizontal scanning circuit 709-1 and the 2nd scan control circuit 709-2 finish carrying out sample hold of the video signal at, and said circuit which carried out sample hold begins to carry out sample hold of the video signal next when it is a write-in signal (CX1) to a display pixel, or a signal with said horizontal scanning clock signal (CPH1) or a horizontal scanning clock signal (CPH2) same [the write-in signal (CX2) to a display pixel]. Moreover, out of the period when said horizontal scanning clock signal (CPH1) and horizontal scanning clock signal (CPH2) sample a video signal mutually is generated as a signal of the timing within the period when it finishes carrying out sample hold of the video signal at, and said circuit which carried out sample hold begins to carry out sample hold of the video signal next when generated as a wave which forbids a sampling as the wave does not change.

(2nd example of a display) Drawing 5 (b) In - (d), the video signal 1 or video signal 2 supplied through a terminal 101 or a terminal 102 is beforehand supplied to the display timing of a video signal and a residual region as a signal which compounded the residual region signal. The 1st horizontal scanning circuit 709-1 of drawing 5 (b) is the case where the left-hand side of a screen and the 2nd horizontal scanning circuit 709-2 display the image on the right-hand side of a screen. The 1st horizontal scanning circuit 709-1 samples T1 period in the first half of the display period (T) of a video signal, after sampling a residual region signal. The 2nd horizontal scanning circuit 709-2

samples a residual region signal, after sampling the ***** 2:T-T1 remaining periods.

(3rd example of a display) The 1st horizontal scanning circuit 709-1 of drawing 5 (c) is the case where the left-hand side of a screen and the 2nd horizontal scanning circuit 709-2 display the image on the right-hand side of a screen. The 1st horizontal scanning circuit 709-1 is in T1, abbreviation, etc. in the first half of the display period (T) of a video signal by carrying out, and samples during 2T / tertiary stage. The 2nd horizontal scanning circuit 709-2 samples a residual region signal, after sampling T2=T-T1 period the remaining second half.

(4th example of a display) The 1st horizontal scanning circuit 709-1 of drawing 5 (d) is the case where the left-hand side of a screen and the 2nd horizontal scanning circuit 709-2 display the image on the right-hand side of a screen. After the 1st horizontal scanning circuit 709-1 samples a residual region signal, it is in T1, abbreviation, etc. in the first half of the display period (T) of a video signal by carrying out, and samples during 2T / tertiary stage. The 2nd horizontal scanning circuit 709-2 samples the ***** 2=T-T1 remaining periods.

(5th example of a display) In the display gestalt of drawing 5 (e), differing from the configuration of drawing 5 (a) The vertical-scanning clock signal supplied to the 1st vertical-scanning circuit 708-1 and the 2nd vertical-scanning circuit 708-2, respectively from the 1st scan system 1 circuit 716-1 and the 2nd scan control circuit 716-2 (VCK1), With a vertical-scanning start signal (STV1) and a vertical-scanning inhibiting signal (GOE 11-13) and a vertical-scanning clock signal (VCK2), a vertical-scanning start signal (STV2), and a vertical-scanning inhibiting signal (GOE 21-23) It is operating so that a two-line coincidence scan may be performed and an image's may be perpendicularly elongated and displayed only once 4/3 time among three lines. Therefore, the image with which only the upper and lower sides 0.75 in all:4 of the video signal of the aspect ratio of 3:4 were missing as the image displayed was shown in drawing is displayed on the liquid crystal panel 701 of the aspect ratio of 9:16.

The explanatory view 6 of 4.2 screen display is drawing having shown the display gestalt in the case of displaying the video signal which divides the display panel of an aspect ratio 9:16 into two fields of an aspect ratio 9:8, and becomes each field from an aspect ratio 3:4. Drawing 6 (a) - (c) shows the display gestalt in the case of performing scan control with same 1st scan control circuit 716-1 and 2nd scan control circuit 716-2. The video signals 1 and 2 to input are the cases where it is an asynchronous signal mutually. Moreover, the video signals 1 and 2

to input may be signals with which specifications, such as TV signal of a PAL system and TV signal of NTSC system, differ. The screen-display control circuit 715 is the case where the 3rd above mentioned actuation or 4th actuation is performed.

(1st example of a display) drawing 6 (a) -- for example, the 1st horizontal scanning circuit 709-1 -- the left-hand side of a screen -- a video signal 1 -- when the 2nd horizontal scanning circuit 709-2 displays a video signal 2 for 1 on the right-hand side of a screen, a circle as shown in drawing is displayed by longwise ellipse display by sampling by one half of the horizontal number of pixels at the effective display period of each video signal. And two screens can be displayed on one display, without carrying out special signal processing in this case, even if a video signal 1 and a video signal 2 are asynchronous. Moreover, it is the same even if video signals 1 and 2 are signals with which specifications, such as TV signal of a PAL system and TV signal of NTSC system, differ. Each pixel electrode 702 of a liquid crystal panel 701 is the method of presentation which can be done since it is electrically independent respectively, and this is the method of presentation unrealizable at all in the display of the Braun tube. In addition, the same is said of the 2nd and 3 method of presentation explained below and the other methods of presentation.

(2nd example of a display) Drawing 6 (b) is what showed the display gestalt at the time of sampling on the frequency of $3f/2$ when the sampling frequency of drawing 6 (a) was set to f , and the image with which the image of a right-and-left 9:4 in all aspect ratio was missing among the images originally displayed by the aspect ratio of 9:12 is displayed on the field of each right and left.

(3rd example of a display) In the display gestalt of drawing 6 (c), differing from the configuration of drawing 6 (a) The vertical-scanning clock signal supplied to the 1st vertical-scanning circuit 708-1 and the 2nd vertical-scanning circuit 708-2, respectively from the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 (VCK1), With a vertical-scanning start signal (STV1) and a vertical-scanning inhibiting signal (GOE 11-13) and a vertical-scanning clock signal (VCK2), a vertical-scanning start signal (STV2), and a vertical-scanning inhibiting signal (GOE 21-23) It is operating so that the interlaced scan which thins out one of three lines may be performed and an image's may be compressed and displayed perpendicularly $2/3$ time. A residual region display like the example shown in drawing by sampling the residual region signal furthermore compounded at the outside of the sampling period of said video signal is displayed on liquid crystal

panel}701.

(Other examples of a display) Drawing 6 (d) - (i) shows the display gestalt in the case of performing scan control from which the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 differ mutually, and since each actuation of the 1st scan control circuit 716-1 and the 2nd scan control circuit 716-2 is the same as that of the case of drawing 6 (a) - (C), it omits actuation.

5. The 2nd example drawing 7 of the whole configuration of an image display device is drawing showing the image display device concerning the 2nd example of this invention. In drawing 7, the same sign is given to the same thing as the configuration of drawing 1. The common electrical-potential-difference generating circuit 710 generates a common electrical potential difference (VCOM), and supplies it to the 1st counterelectrode and the 2nd counterelectrode. Moreover, this common electrical potential difference (VCOM) is supplied also to the 1st level inverter circuit 713-1 and the 2nd level inverter circuit 713-2. By control of the polarity-reversals signal (POL) from the drive signal generating circuit 711, the 1st level inverter circuit 713-1 makes a common electrical potential difference (VCOM) reference voltage, carries out level reversal to this reference voltage, and outputs the video signal supplied from the 1st video-signal processing circuit 712-1 to the 1st SW circuit 714-1. By control of the polarity-reversals signal (POL) from the drive signal generating circuit 711, the 2nd level inverter circuit 713-2 also makes a common electrical potential difference (VCOM) reference voltage, carries out level reversal to this reference voltage, and outputs the video signal supplied from the 2nd video-signal processing circuit 712-2 to the 2nd SW circuit 714-2. Thereby, the polarity of liquid crystal applied voltage is reversed periodically. Unlike drawing 1, the dynamic range of the video signal supplied to a data signal line increases, but it is not necessary to separate a counterelectrode with this configuration. Since other configurations are the same as the configuration of drawing 1, explanation is omitted.

6. The 3rd example drawing 8 of the whole configuration of an image display device is drawing showing the image display device concerning the 3rd example of this invention. In drawing 8, this agreement is given to the same thing as the configuration of drawing 1. A different point from the configuration of drawing 1 in drawing 8 is explained. The video signal 1 and video signal 2 which are supplied to a terminal 101 and a terminal 102 are supplied to the 1st SW circuit 714-1 and the 2nd SW circuit 714-2, respectively. Either of said video signals is chosen

with the control signal supplied from the drive signal generating circuit 711, and the 1st SW circuit 714-1 and the 2nd SW circuit 714-2 output it to the 1st video-signal processing circuit 712-1 and the 2nd video-signal processing circuit 712-2, respectively. It supplies the synchronizing signal of a video signal 1 to the drive signal generating circuit 711 while it performs gamma processing and supplies it to the 1st level inverter circuit 713-1, after the 1st video-signal processing circuit 712-1 restores to the video signal supplied through the 1st SW circuit 714-1 to the three-primary-colors signals R1, G1, and B1. the 1st level inverter circuit 713-1 -- the drive signal generating circuit 7 -- 5 -- by control of the polarity-reversals signal 1 (POL1) supplied from 1, synchronizing with level reversal of the common electrical potential difference 1 (VCOM1), level reversal is carried out to reference voltage by the opposite phase, and the video signal supplied from the 1st video-signal processing circuit 712-1 is supplied to the 1st horizontal scanning circuit 709-1. It supplies the synchronizing signal of a video signal 1 to the drive signal generating circuit 711 while it performs gamma processing and supplies it to the 2nd level inverter circuit 713-2, after the 2nd video-signal processing circuit 712-2 restores to the video signal supplied through the 2nd SW circuit 714-2 to the three-primary-colors signals R2 and G2 and B-2. By control of the polarity-reversals signal 2 (POL2) supplied from the drive signal generating circuit 711, synchronizing with level reversal of the common electrical potential difference 2 (VCOM2), the 2nd level inverter circuit 713-2 carries out level reversal to reference voltage by the opposite phase, and supplies the video signal supplied from the 2nd video-signal processing circuit 712-2 to the 2nd horizontal scanning circuit 709-2. Since other configurations are the same as the configuration of drawing 1 , explanation is omitted.

7. Although the example of modification above-mentioned example of this example explained the case where the number of the asynchronous signals to input was two, if not only this but a scanning-line control circuit etc. is prepared [four], it can respond to four signals and a screen display can divide into four. Furthermore, if two or more preparations of the scanning-line control circuit etc. are made, the number of the signals which it is asynchronous and are inputted corresponding to it can be made to increase.

8. As explained beyond the example of application of this example, according to this example, the image display device of two screen display can be offered cheaply. That is, since the configuration of an image being stabilized and not being displayed is not required for the

display of another side unless it is the signal by which while becomes the main signal and the video signal was stabilized like before, since it is not influenced even if one signal of the video signals displayed on right and left of a display panel in two screen display is an unstable signal, the image display device of two screen display can be offered cheaply. Therefore, in the car-navigation system, it became possible to display two receivable signals, without always using signals, such as map information generated with the car-navigation system currently installed in in the car. Moreover, the cheap image display signal which similarly displays two video signals with which broadcasting formats differ can be offered. For example, in the area which can receive TV signal of PAL systems, such as Europe, signals, such as map information on a car-navigation system, and TV broadcast which are reproduced with NTSC system can be displayed on coincidence, without using digital disposal circuits, such as scanning-line conversion. And it is the case where it applies to flat-surface displays of a big screen display, such as TV, as an example of application of others of this example. That is, when displaying on one screen, the display explained to drawing 5 using the big screen is possible. On the other hand, when displaying on two screens, TV signal of the channel which has not taken a different synchronization can be displayed easily, for example. Moreover, as long as it is a big screen and is a flat-surface display with many display pixels, not only two screens but four screens and two or more screens beyond it may be displayed. Drawing 16 is the block diagram showing one example of the image display approach concerning this invention. The drive signal generating circuit 711 consists of screen-display control circuits 715 which choose the reference signal acquired from the synchronizing signal of the horizontal scanning circuit 1709-1, the scan control circuit 1716-1 which controls the drive scan by the vertical-scanning circuit 1708-1, the horizontal scanning circuit 2709-2, the scan control circuit 2716-2 which controls the drive scan by the vertical-scanning circuit 2708-2, a video signal 1, and a video signal 2, respectively, and are supplied to the scan control circuit 1716-1 and the scan control circuit 2716-2. It supplies the synchronizing signal of a video signal 1 to the screen-display control circuit 715 of the drive signal generating circuit 711 while it performs gamma processing and supplies it to the SW circuit 1714-1 and the SW circuit 2714-2, after the video-signal processing circuit 1712-1 restores to the video signal 1 inputted through the terminal 101 to the three-primary-colors signals R1, G1, and B1. It supplies the synchronizing signal of a video signal 1 to the screen-

display control circuit 715 of the drive signal generating circuit 711 while it performs gamma processing and supplies it to the SW circuit 1714-1 and the SW circuit 2714-2, after the video-signal processing circuit 2712-2 restores to the video signal 2 inputted through the terminal 102 to the three-primary-colors signals R2 and G2 and B-2. The SW circuit 1714-1 and the SW circuit 2714-2 choose either of the video signals supplied based on the selection signal 1 and selection signal 2 which are supplied from the screen-display control circuit 715, respectively from the video-signal processing circuit 1712-1 and the video-signal processing circuit 2712-2, and output it to the level inverter circuit 1713-1 and the level inverter circuit 2, respectively. By control of the polarity-reversals signal 1 supplied from the screen-display control circuit 715, synchronizing with level reversal of the common electrical potential difference 1 (VCOM1), the level inverter circuit 1713-1 carries out level reversal to reference voltage by the opposite phase, and supplies the video signal supplied from the SW circuit 1714-1 to the horizontal scanning circuit 1709-1. By control of the polarity-reversals signal 2 supplied from the screen-display control circuit 715, synchronizing with level reversal of the common electrical potential difference 2 (VCOM2), the level inverter circuit 2713-2 carries out level reversal to reference voltage by the opposite phase, and supplies the video signal supplied from the SW circuit 2714-2 to the horizontal scanning circuit 2709-2. The common electrical-potential-difference generating circuit 1710-1 generates the common electrical potential difference 1 (VCOM1) in which level reversal is carried out by control of the polarity-reversals signal supplied from the screen-display control circuit 715 to a reference potential for every horizontal scanning period and vertical-scanning period, and supplies it to a counterelectrode 1. The common electrical-potential-difference generating circuit 2710-2 generates the common electrical potential difference 2 (VCOM2) in which level reversal is carried out by control of the polarity-reversals signal 2 supplied from the screen-display control circuit 715 to a reference potential for every horizontal scanning period and vertical-scanning period, and supplies it to a counterelectrode 2. The screen-display control circuit 715 generates the 1st clock signal, the 1st criteria H signal, and the 1st criteria V signal from the synchronizing signal 1 supplied from the video-signal processing circuit 1712-1, and generates the 2nd clock signal, the 2nd criteria H signal, and the 2nd criteria V signal from the synchronizing signal 2 supplied from the video-signal processing circuit 2712-2. And based on the screen-display control signal supplied from a terminal 100,

the same or a different clock signal, a criteria H signal, and a criteria V signal are chosen, and the scan control circuit 1716-1 and the scan control circuit 2716-2 are supplied as a reference signal 1 and a reference signal 2, respectively. Moreover, the screen-display control circuit 715 generates the screen-display control signal based on the screen-display control signal supplied from a terminal 100, and supplies it to the scan control circuit 1716-1 and the scan control circuit 2716-2 as the display-control signal 1 and a display-control signal 2, respectively. The scan control circuit 1716-1 generates a vertical-scanning clock signal (VCK1), a vertical-scanning start signal (STV1), and a vertical-scanning inhibiting signal (GOE 11-13), and supplies them to the vertical-scanning circuit 1708-1 while it generates a horizontal scanning start signal (STH1), a horizontal scanning clock signal (CPH1), and the write-in signal (CX1) to a display pixel and supplies them to the horizontal scanning circuit 1709-1 based on said display-control signal 1 and a reference signal 1. While the scan control circuit 2716-2 generates a horizontal scanning start signal (STH2), a horizontal scanning clock signal (CPH2), and the write-in signal (CX2) to a display pixel and supplies them to the horizontal scanning circuit 2709-2 based on said display-control signal 2 and a reference signal 2, A vertical-scanning clock signal (VCK2), a vertical-scanning start signal (STV2), and a vertical-scanning inhibiting signal (GOE 21-23) are generated, and the vertical-scanning circuit 2708-2 is supplied. The vertical-scanning circuit 1708-1 and the vertical-scanning circuit 2708-2 perform drive actuation which supplies a scan signal to each of the scan signal line 704 of a display panel 701 mostly divided in the center. This vertical-scanning circuit 1708-1 and the vertical-scanning circuit 2708-2 correspond to two or more scan signal lines 704, and in order to transmit the vertical-scanning start signals 1 and 2 (STV 1 and 2), respectively, they have the shift register circuit which consists of two or more flip-flops connected to a serial. This shift register circuit answers the vertical-scanning clock signals 1 and 2 (CPV 1 and 2), performs the shift action of the vertical-scanning start signals 1 and 2 (STV 1 and 2), and outputs a scan signal to the scan signal line 704 corresponding to the flip-flop which latched the vertical-scanning start signals 1 and 2 (STV 1 and 2). Moreover, said scan signal has the period outputted to the scan signal line 704 with a vertical-scanning inhibiting signal (GOE 11-13, GOE21-GOE23) restricted. Drive actuation which drives two or more data signal lines 705 according to a data signal is performed so that a video signal may be supplied to two or more pixel electrodes 702 which carried out sample hold of the

horizontal scanning circuit 1709-1 and the horizontal scanning circuit 2709-2 one by one by having made into the data signal the video signals 1 and 2 by which level reversal was carried out, respectively, and were carried out 2 ****s with the scan signal line 704 of a display panel 701 mostly divided in the center, respectively. This horizontal scanning circuit 1709-1 and the horizontal scanning circuit 2709-2 have at least one shift register which consists of two or more flip-flops connected to a serial, in order to transmit the horizontal scanning start signals 1 and 2 (STH 1 and 2), respectively. Each shift register answers the horizontal scanning clock signals 1 and 2 (CPH 1 and 2), performs the shift action of the horizontal scanning start signals 1 and 2 (STH 1 and 2), carries out sample hold of the video signal to the timing to which each flip-flop outputs the horizontal scanning start signals 1 and 2 (STH 1 and 2), and supplies it to the data signal line 705 corresponding to this flip-flop as a data signal. Drawing 17 is drawing showing the example of 1 configuration of the screen-display control circuit 715, and drawing 18 is drawing showing the example of 1 configuration of the reference signal generating circuit 717. The screen-display control circuit 1715 is constituted by the reference signal generating circuit 1717-1 and the reference signal generating circuit 2717-2 which were constituted by a control circuit 718, the PLL circuit 719 of drawing 18 , the V synchronous detector 724, the V counter 725, the criteria H signal generating circuit 726, and the criteria V signal generating circuit 727. As for the PLL circuit 719, at least a loop filter 720 and a voltage controlled oscillator (VCO) 721 consist of a phase comparator circuit 722 and an H counter 723. In the PLL circuit 719, the phase contrast of the Horizontal Synchronizing signal of the synchronizing signal with which the phase comparator circuit 722 is supplied from the video-signal processing circuit 712, and the criteria level signal supplied from the H counter 723 is detected, and the error signal according to this phase contrast is generated. At least a loop filter 720 generates the signal level which removed the high frequency component and the noise from the error signal acquired from the phase comparator circuit 722. VC0721 generates a clock signal based on said signal level, and supplies this clock signal to the V synchronous detector 724, the V counter 725, the criteria H signal generating circuit 726, and criteria V signal generating circuit 727 grade the H counter 723, a control circuit 718, and if needed. The H counter 723 counts the number of pixels for one line, carries out dividing of the clock signal corresponding to this number of pixels, and only supplies considering as a criteria level signal to the phase comparator circuit 722. Moreover, the H counter 723

supplies the 2nd criteria level signal of a frequency $fH1$ and the 3rd criteria level signal of frequency $nx fH$ with which the phases which each circuit block needs differ to the V counter 725, the criteria H signal generating circuit 726, and the criteria V signal generating circuit 727. A criteria H signal generating circuit generates the criteria H signal used as the criteria for generating various level drive control signals based on said reference signal, and supplies it to a control circuit 718. The V synchronous detector 724 detects a Vertical Synchronizing signal from the synchronizing signal supplied from the video-signal processing circuit 712, and supplies it to the V counter 725. The V counter 725 consists of counters with the function used as $525H/2$ of a field period, when for example, a self-propelled period is NTSC system. It operates so that a phase may be drawn in it based on a Vertical Synchronizing signal and a criteria level signal and a value may be reset, when it operates to it so that self-reset may be carried out and it may run by himself with the period of $525H/2$ when the criteria level signal of $2xfH$ is supplied to this V counter 725 from said H counter 723 and a Vertical Synchronizing signal is not supplied to it from said V synchronous detector 724, and a Vertical Synchronizing signal is supplied to it. Moreover, V counter supplies the criteria perpendicular signal which synchronized with the Vertical Synchronizing signal to the criteria V signal generating circuit 727. The criteria V signal generating circuit 727 generates the criteria V signal used as the criteria for generating various vertical-drive control signals based on said criteria perpendicular signal, and supplies it to a control circuit 718. That is, the reference signal generating circuit 717 by the configuration of this drawing 18 can supply a criteria V signal to a control circuit 718 at stability, also when the synchronizing signal which cannot detect a Vertical Synchronizing signal in the V synchronous detector 724 is inputted. In this example, although it has generated from the criteria H signal, the criteria level signal to which a criteria V signal is supplied, respectively, and the criteria perpendicular signal in the criteria H signal generating circuit 726 and the criteria V signal generating circuit 727, you may make it the configuration which supplies said criteria level signal and a criteria perpendicular signal to the scan control circuit 1716-1 and the scan control circuit 2716-2 directly through a control circuit 718, without using said criteria H signal generating circuit 726 and the criteria V signal generating circuit 727. Drawing 19 is drawing showing the example of 1 configuration of a control circuit 718. A control circuit 718 consists of POL1 signal generating circuit 801-1, POL2 signal generating circuit 801-2, the SW

circuit 3802-1, the SW circuit 4802-2, the signal selection circuitry 1803-1, the signal selection circuitry 2803-2, the decoding circuit 804, a control signal acquisition circuit 1805-1, a control signal acquisition circuit 2805-2, and a screen change-over control circuit 806. POL1 signal generating circuit 801-1 is *****. Based on a criteria H signal and a criteria V signal, the polarity-reversals signal POL 1 is generated at least among the signals supplied from the number generating circuit 1717-1, and the SW circuit 3802-1 and the SW circuit 4802-2 are supplied. POL2 signal generating circuit 801-2 generates the polarity-reversals signal POL 2 based on a criteria H signal and a criteria V signal at least among the signals supplied from the reference signal generating circuit 2717-2, and supplies it to the SW circuit 3802-1 and the SW circuit 4802-2. The SW circuit 3802-1 chooses either of the polarity-reversals signals POL1 and POL2 based on the selection signal 1 supplied from the screen change-over control circuit 806, and supplies it to the common electrical-potential-difference generating circuit 1710-1 and the level inverter circuit 1713-1 as a polarity-reversals signal 1. The SW circuit 4802-2 chooses either of the polarity-reversals signals POL1 and POL2 based on the selection signal 2 supplied from the screen change-over control circuit 806, and supplies it to the common electrical-potential-difference generating circuit 2710-2 and the level inverter circuit 2713-2 as a polarity-reversals signal 2. The signal selection circuitry 1803-1 is supplied to the scan control circuit 1716-1 by making into a reference signal 1 the clock signal, criteria H signal, and criteria V signal which are supplied from one side of the reference signal generating circuit 1717-1 chosen based on the selection signal 1 supplied from the screen change-over control circuit 806, and the reference signal generating circuit 2717-2. The signal selection circuitry 2803-2 is supplied to the scan control circuit 2716-2 by making into a reference signal 2 the clock signal, criteria H signal, and criteria V signal which are supplied from one side of the reference signal generating circuit 1717-1 chosen based on the selection signal 2 supplied from the screen change-over control circuit 806, and the reference signal generating circuit 2717-2. The decoding circuit 804 is a control signal acquisition circuit! It obtains from the screen-display control signal to which the display-control signal 1 supplied to the scan control circuit 1716-1 through 805-1 and the display-control signal 2 supplied to the scan control circuit 2716-2 through the control signal acquisition circuit 2805-2 are supplied from a terminal 100, and each signal is supplied to the control signal acquisition circuit 1805-1 and the control signal acquisition circuit 2805-2 as a mode signal. Moreover,

it obtains from the screen-display control signal to which the control signal 1 which is the switch information used as the basis of a selection signal 1 and a selection signal 2, and a control signal 2 are supplied from a terminal 100, and the screen change-over control circuit 806 is supplied. Drawing 20 is drawing showing the example of a concrete configuration of the screen change-over control circuit 806. The screen change-over control circuit 806 consists of selection-signal generating circuit 807-1 / a 2 screen signal generating circuit 808, and a sampling control circuit 809. The image terminate signal 2 which shows the timing which the display to the display panel of a video signal 2 ends among the image terminate signal 1 which shows the timing which the display to the display panel of a video signal 1 ends among the 1st criteria V signal generated in the reference signal generating circuit 1717-1, and the 2nd criteria V signal generated in the reference signal generating circuit 2717-2 is supplied to selection-signal generating circuit 807-1 / 2 screen signal generating circuit 808, and the sampling control circuit 809. Moreover, the control signal 1 and control signal 2 which were generated in the decoding circuit 804 are supplied to the selection-signal generating circuit 807 and the sampling control circuit 809. The selection-signal generating circuit 807 generates a selection signal 1 and a selection signal 2 based on a control signal 1, a control signal 2, the image terminate signal 1, and the image terminate signal 2. A selection signal 1 is supplied to 1 / 2 screen signal generating circuit 808, the sampling control circuit 809, the SW circuit 1714-1, the SW circuit 3802-1, and the signal selection circuitry 1803-1. Moreover, a selection signal 2 is supplied to 1 / 2 screen signal generating circuit 808, the sampling control circuit 809, the SW circuit 2714-2, the SW circuit 4802-2, and the signal selection circuitry 2803-2. A sampling control circuit generates the sampling signal 1 and the sampling signal 2 based on a control signal 1, a control signal 2, the image terminate signal 1, the image terminate signal 2, a selection signal 1, and a selection signal 2, and supplies each signal to the control signal acquisition circuit 1805-1 and the control signal acquisition circuit 2805-2. 1 / 2 screen signal generating circuit 808 generates 1 / 2 screen signals which are a control signal of 1 screen-display term question to a display panel 701 based on a selection signal 1, a selection signal 2, the image terminate signal 1, and the image terminate signal 2, and supplies them to the scan control circuit 1716-1 and the scan control circuit 2716-2. When 1 / 2 screen signals which were supplied are 1 screen-display periods, the scan control circuit 1716-1 and the scan control circuit 2716-2 The frequency of the

horizontal scanning clock signals 1 and 2 (CPH 1 and 2) is generated on the frequency of the abbreviation $1/2$ at the time of 2 screen display. Furthermore, if the image scanned in the horizontal scanning circuit 1709-2 and the horizontal scanning circuit 2709-2, respectively is doubled, the phase of the horizontal scanning start signals 1 and 2 (STH 1 and 2) will be shifted, and it will generate so that it may become the image of one screen. The control signal acquisition circuit 1805-1 samples the decoding signal supplied from the decoding circuit 804 based on the sampling signal 1 supplied from the screen change-over control circuit 806, and supplies it to the scan control circuit 1716-1 as a display-control signal 1. The control signal acquisition circuit 28052 samples the decoding signal supplied from the decoding circuit 804 based on the sampling signal 2 supplied from the screen change-over control circuit 806, and supplies it to the scan control circuit 2716-2 as a display-control signal 2. Drawing 21 - drawing 23 are the timing charts for explaining the example of a control circuit 718 of operation, and explain actuation of this invention to a detail using this drawing. In addition, in order to give explanation simple, 2 screen-display control period makes a different signal the polarity of a control signal 1, a control signal 2 and a selection signal 1, and a selection signal 2, and shows the timing of operation which displays the image with which a video signal 1 differs from a video signal 2 to the display panel 701. Moreover, although the wave of operation in case the polarity of the control signal 1 shown in the continuous line and a control signal 2 is an opposite polarity is displayed in the wave of a dotted line, since he can understand this actuation easily from the actuation shown as the continuous line, explanation is omitted. the 1st criteria V the image start signal 1 and the image terminate signal 1 indicate the image period of a video signal 1 to be in drawing -- a signal -- the 2nd criteria V with which are a perpendicular timing signal and the image start signal 2 and the image terminate signal 2 indicate the image period of a video signal 2 to be -- a signal -- it is a perpendicular timing signal. Moreover, the 1st, the 2nd criteria H signal, the 1st, 2nd clock ** Although not illustrated about a number, it is generated synchronizing with the said 1st and 2nd criteria V signal. By the image terminate signal 1 supplied from the reference signal generating circuit 1717-1, the selection-signal generating circuit 807 which constitutes the screen change-over control circuit 806 of a control circuit 718 When a control signal 1 is H level and a control signal 2 is H level about a selection signal 1, a selection signal 2 is set to H level, respectively. Moreover, by the image terminate signal 2 supplied from the reference

signal generating circuit 2717-2, when a control signal 1 is L level and a control signal 2 is L level about a selection signal 1, a selection signal 2 is set to L level, respectively. The SW circuit 1714-1 operates so that the output signal of the level inverter circuit 1713-1 may be chosen when a selection signal 1 is L level, and the output signal of the level inverter circuit 2713-2 may be chosen, respectively in the case of H level, and it operates so that the SW circuit 2714-2 may choose the output signal of the level inverter circuit 2714-2 when a selection signal 2 is L level, and the output signal of the level inverter circuit 1714-1 may be chosen as H level case, respectively. Moreover, the SW circuit 3802-1 operates so that the output signal of POL1 signal generating circuit 801-1 may be chosen when a selection signal 1 is L level, and the output signal of POL2 signal generating circuit 801-2 may be chosen as H level case, respectively, and it operates so that the SW circuit 4 may choose the output signal of POL2 signal generating circuit 801-2 when a selection signal 2 is L level, and the output signal of POL1 signal generating circuit 801-1 may be chosen as H level case, respectively. Furthermore, the signal selection circuitry 1803-1 operates so that the image start signal 1 may be chosen when a selection signal 1 is L level, and the image start signal 2 may be chosen as H level case, respectively, and the signal selection circuitry 2 operates so that the image start signal 2 may be chosen when a selection signal 2 is L level, and the image start signal 1 may be chosen as H level case, respectively. drawing 21 is the timing chart showing the switch actuation to one screen display by the video signal 1 from two screen display, and the switch actuation to two screen display from this one screen display, and a mode signal switches drawing 21 (1) to one screen display which consists of a video signal 1 from two screen display at the period BC which is from the image terminate signal 1 before an image terminate signal -- having -- a degree -- it is a timing chart of operation in the case of being switched to two screen display from one screen display at Period bc. moreover, a mode signal switches drawing 21 (2) to one screen display which consists of a video signal 1 from two screen display at the period AB which is a question from the image terminate signal 2 to the image terminate signal 1 -- having -- a degree -- it is a timing chart of operation in the case of being switched to two screen display from one screen display at Period ab. The selection signal 1 of drawing 21 (1) is set to L level by the control signal 1 of L level, and the video signal 2 of time amount C, E, c, and e. Moreover, after a selection signal 2 is set to H level by the control signal 2 of H level, and the image terminate signal 2 of time amount B,

it is set to L level by the control signal of L level, and the image terminate signal 2 of time amount C, E, and c, and is further set to H level by the control signal 2 of H level, and the video signal 1 of time amount d. the signal selection circuitry 1803-1 -- L -- level -- a selection signal 1 -- being based -- the image start signal 1 -- a reference signal 1 -- carrying out -- the scan control circuit 1716-1 -- supplying -- the signal selection circuitry 2 -- H -- level -- it operates so that the scan control circuit 2716-2 may be supplied by making the image start signal 2 into a reference signal 2 based on a selection signal 2. Moreover, the control signal acquisition circuit 1805-1 and the control signal acquisition circuit 2805-2 sample the mode signal supplied from the decoding circuit 804 based on the sampling signal 1 and the sampling signal 2 which are supplied, respectively from the sampling control circuit 809, and supply it to the scan control circuit 1716-1 and the scan control circuit 2716-2 as the display-control signal 1 and a display-control signal 2, respectively. In the sampling signal 1, based on a selection signal 1 and a selection signal 2, the same timing as the image terminate signal 1 and the sampling signal 2 serve as [the sampling signal generated in this sampling control circuit 809] the same timing as the image terminate signal 2 in the image terminate signal 1 and the other period by Period Cd through between the whole term. Therefore, the scan control circuit 1716-1 operates so that the image terminate signal 1 of time amount D may display the image of a video signal 1 as one side of 2 screen-display actuation, and after Period D, it operates so that 1 screen display of the image of a video signal 1 may be carried out based on the display-control signal 1 supplied by the timing of time amount D, 1 / 2 screen signals, and a reference signal 1. And henceforth [time amount d], it operates so that the image of a video signal 1 may be displayed as one side of 2 screen-display actuation based on the display-control signal 1 supplied by the timing of time amount d, 1 / 2 screen signals, and a reference signal 1. On the other hand, the scan control circuit 2716-2 operates so that the period T2 to the image terminate signal 2 of time amount C may display considering the image of a video signal 2 as another side of 2 screen-display actuation. After being in the condition of having suspended the scan temporarily with the selection signal 2 switched to L level from H level immediately after the image terminate signal 2 of time amount C, It operates so that 1 screen display of the image of a video signal 1 may be carried out based on the display-control signal 2 supplied by the timing of time amount D, 1 / 2 screen signals, and a reference signal 2. Henceforth [time amount d], after

being in the condition of having suspended the scan temporarily with the selection signal 2 switched to H level from L level immediately after the image terminate signal 1 of time amount d, it operates so that it may display based on the display-control signal 2 supplied by the timing of time amount e, $1/2$ screen signals, and a reference signal 2 considering the image of a video signal 2 as another side of 2 screen-display actuation. The selection signal 1 of drawing 21 (2) is set to L level by the control signal 1 of L level, and the video signal 2 of time amount C, a, and c. Moreover, after a selection signal 2 is set to H level by the control signal of H level, and the image terminate signal 2 of time amount B, it is set to L level by the control signal 2 of L level, and the image terminate signal 2 of time amount C and a, and is further set to H level by the control signal 2 of H level, and the video signal 1 of time amount b. By forbidding so that the image terminate signal 1 immediately after a control signal 1 and a control signal 2 serve as L level may not turn into the sampling signal 1, both the sampling signals 1 generated in the sampling control circuit 809 remove Period AB, and are the same TA as the image terminate signal 1. Becoming IMINGU, the sampling signal 2 serves as the same timing as the image terminate signal 2 in the image terminate signal 1 and the other period by Period Cb. Therefore, the scan control circuit 1716-1 operates so that the image terminate signal 1 of time amount D may display the image of a video signal 1 as one side of 2 screen-display actuation, and after Period D, it operates so that 1 screen display of the image of a video signal 1 may be carried out based on the display-control signal 1 supplied by the timing of time amount D, $1/2$ screen signals, and a reference signal 1. And henceforth [time amount b], it operates so that the image of a video signal 1 may be displayed as one side of 2 screen-display actuation based on the display-control signal 1 supplied by the timing of time amount b, $1/2$ screen signals, and a reference signal 1. On the other hand, the scan control circuit 2716-2 operates so that the period T2 to the image terminate signal 2 of time amount C may display considering the image of a video signal 2 as another side of 2 screen-display actuation. After being in the condition of having suspended the scan temporarily with the selection signal 2 switched to L level from H level immediately after the image terminate signal 2 of time amount C, It operates so that 1 screen display of the image of a video signal 1 may be carried out based on the display-control signal 2 supplied by the timing of time amount D, $1/2$ screen signals, and a reference signal 2. Henceforth [time amount b], after being in the condition of having suspended the scan temporarily with the selection

signal 2 switched to H level from L level immediately after the image terminate signal 1 of time amount b, it operates so that it may display based on the display-control signal 2 supplied by the timing of time amount C, 1 / 2 screen signals, and a reference signal 2 considering the image of a video signal 2 as another side of 2 screen-display actuation. the timing chart in which drawing 22 shows the switch actuation to one screen display by the video signal 1, and the switch actuation to two screen display from this one screen display from two screen display -- it is -- drawing 22 (1) -- image terminate signal! since -- a mode signal switches to one screen display which consists of a video signal 2 from two screen display at the period BC which is before an image terminate signal -- having -- a degree -- it is a timing chart of operation in the case of being switched to two screen display from one screen display at Period bc. moreover, a mode signal switches drawing 21 (2) to one screen display which consists of a video signal 2 from two screen display at the period AB which is from the image terminate signal 2 before the image terminate signal 1 -- having -- a degree -- it is a timing chart of operation in the case of being switched to two screen display from one screen display at Period ab. After the selection signal 1 of drawing 22 (1) is set to H level by the control signal 1 of H level, and the video signal 1 of time amount D and b, it is set to L level by the control signal 1 of L level, and the image terminate signal 2 of time amount C and e. Moreover, a selection signal 2 is set to H level by the control signal 2 of H level, and the image terminate signal 1 of time amount B, D, b, and d. the signal selection circuitry 1803-1 -- L -- level -- a selection signal 1 -- being based -- the image start signal 1 -- a reference signal 1 -- carrying out -- the scan control circuit 1716-1 -- supplying -- the signal selection circuitry 2 -- H -- level -- it operates so that the scan control circuit 2716-2 may be supplied by making the image start signal 2 into a reference signal 2 based on a selection signal 2. The sampling signal 1 generated in the sampling control circuit 809 serves as the same timing as the image terminate signal 1 in the image terminate signal 2 and the other period by Period Dc, and both the sampling signals 2 serve as the same timing as the image terminate signal 2 except for Period BC by forbidding so that the image terminate signal 2 immediately after a control signal 1 and a control signal 2 serve as H level may not turn into the sampling signal 2. Therefore, the scan control circuit 1716-1 operates so that the period T1 to the image terminate signal 1 of time amount D may display considering the image of a video signal 1 as one side of 2 screen-display actuation. After being in the condition of having suspended the

scan temporarily with the selection signal 1 switched to H level from L level immediately after the image terminate signal 1 of time amount D, It operates so that 1 screen display of the image of a video signal 2 may be carried out based on the display-control signal 1 supplied by the timing of time amount E, 1 / 2 screen signals, and a reference signal 1. Henceforth [time amount c], after being in the condition of having suspended the scan temporarily with the selection signal 1 switched to L level from H level immediately after the image terminate signal 2 of time amount c, it operates so that it may display based on the display-control signal 1 supplied by the timing of time amount d, 1 / 2 screen signals, and a reference signal 1 considering the image of a video signal 1 as one side of 2 screen-display actuation. On the other hand, the scan control circuit 2716-2 operates so that the image terminate signal 2 of time amount E may display the image of a video signal 2 as another side of 2 screen-display actuation, and after Period E, it operates so that 1 screen display of the image of a video signal 2 may be carried out based on the display-control signal 2 supplied by the timing of time amount E, 1 / 2 screen signals, and a reference signal 2. And time amount. Henceforth, it is time amount. It operates so that the image of a video signal 2 may be displayed as another side of 2 screen-display actuation based on the display-control signal 2 supplied by ** timing, 1 / 2 screen signals, and a reference signal 2. The selection signal 1 of drawing 22 (2) is the control signal 1 and time amount of L level after being set to H level by the control signal 1 of H level, and the video signal 1 of time amount B, d, and b. It is set to L level by the ***** terminate signal 2. Moreover, a selection signal 2 is set to H level by the control signal 2 of H level, and the image terminate signal 2 of time amount B, D, b, and d. The sampling signal 1 generated in the sampling control circuit 809 serves as the timing same with the image terminate signal 2 and the other term question as the image terminate signal 1 in Period Bc, and the sampling signal 2 serves as the same timing as the image terminate signal 2 during the whole term. Therefore, the scan control circuit 1716-1 operates so that the period T1 to the image terminate signal 1 of time amount B may display considering the image of a video signal 1 as one side of 2 screen-display actuation. After being in the condition of having suspended the scan temporarily with the selection signal 1 switched to H level from L level immediately after the image terminate signal 1 of time amount B, It operates so that 1 screen display of the image of a video signal 2 may be carried out based on the display-control signal 1 supplied by the timing of time amount c, 1 / 2 screen signals, and a reference signal 1.

Henceforth [time amount c], it is based on the display-control signal 1 supplied by the timing of time amount d after being in the condition of having suspended the scan temporarily with the selection signal 1 switched to L level from H level, 1 / 2 screen signals, and a reference signal 1 immediately after the image terminate signal 2 of time amount c, and it is the image of a video signal 1 as one side of 2 screen-display actuation. It operates so that it may display. On the other hand, the scan control circuit 2716-2 operates so that the image terminate signal 2 of time amount C may display the image of a video signal 2 as another side of 2 screen-display actuation, and after Period C, it operates so that 1 screen display of the image of a video signal 2 may be carried out based on the display-control signal 2 supplied by the timing of time amount C, 1 / 2 screen signals, and a reference signal 2. And time amount. Henceforth, it is time amount. It operates so that the image of a video signal 2 may be displayed as another side of 2 screen-display actuation based on the display-control signal 2 supplied by ** timing, 1 / 2 screen signals, and a reference signal 2. Drawing 23 is the timing chart showing the actuation which replaces an image on either side in two screen display. After the selection signal 1 of drawing 23 (1) is set to L level by the control signal 1 and video signal 2 of L level, it is set to H level by the control signal 1 and the image terminate signal 1 of H level. Moreover, after a selection signal 2 is set to H level by the control signal 2 and the image terminate signal 1 of H level, it is set to L level by the control signal 2 and the image terminate signal 2 of L level. In the sampling signal 1 generated in the sampling control circuit 809, a selection signal 1 serves as the timing as the image terminate signal 2 that it is the same in the image terminate signal 1 and the other period between L level, and, as for the sampling signal 2, a control signal 2 serves as [the period of H level] the same timing as the image terminate signal 1 in the image terminate signal 2 and the other period. Therefore, the scan control circuit 1716-1 operates so that it may display in a period T1 considering the image of a video signal 1 as one side of 2 screen-display actuation. After being in the condition of having suspended the scan of period T four temporarily by change of a selection signal 1, In the period T2 following period T four, it operates so that it may display based on the display-control signal 1 and reference signal 1 which are supplied by the timing of the image terminate signal 2 considering the image of a video signal 2 as one side of 2 screen-display actuation. On the other hand, the scan control circuit 2716-2 operates so that it may display in a period T2 considering the image of a video signal 2 as another side of 2 screen-

display actuation. After being in the condition of having suspended the scan of period T3 temporarily by change of a selection signal 2, in the period T1 following period T3, it operates so that the image of a video signal 1 may be displayed as another side of 2 screen-display actuation based on the display-control signal 2 and reference signal 2 which are supplied by the timing of the image terminate signal 1. After the selection signal 1 of drawing 23 (2) is set to L level by the control signal 1 and video signal 2 of L level, it is set to H level by the control signal 1 and the image terminate signal 1 of H level. Moreover, after a selection signal 2 is set to H level by the control signal 2 and the image terminate signal 1 of H level, it is set to L level by the control signal 2 and the image terminate signal 2 of L level. In the sampling signal 1 generated in the sampling control circuit 809, a selection signal 1 serves as the timing as the image terminate signal 2 that it is the same in the image terminate signal 1 and the other period between L level, and, as for the sampling signal 2, a control signal 2 serves as [the period of H level] the same timing as the image terminate signal 1 in the image terminate signal 2 and the other period. Therefore, the scan control circuit 1716-1 operates so that it may display in a period T1 considering the image of a video signal 1 as one side of 2 screen-display actuation. After being in the condition of having suspended the scan of period T four temporarily by change of a selection signal 1, In the period T2 following period T four, it operates so that it may display based on the display-control signal 1 and reference signal 1 which are supplied by the timing of the image terminate signal 2 considering the image of a video signal 2 as one side of 2 screen-display actuation. On the other hand, the scan control circuit 2716-2 operates so that it may display in a period T2 considering the image of a video signal 2 as another side of 2 screen-display actuation. After being in the condition of having suspended the scan of period T3 temporarily by change of a selection signal 2, in the period T1 following period T3, it operates so that the image of a video signal 1 may be displayed as another side of 2 screen-display actuation based on the display-control signal 2 and reference signal 2 which are supplied by the timing of the image terminate signal 1. Drawing 24 is the block diagram showing other examples of the image display device of this invention. In drawing 24 , a same sign is given to the same thing as the configuration of drawing 1 , and the explanation is omitted. It supplies the synchronizing signal of a video signal 1 to the screen-display control circuit 715 of the drive signal generating circuit 711 while it performs gamma processing and supplies it to the level inverter

circuit 1713-1, after the video-signal processing circuit 1712-1 restores to the video signal 1 inputted through the terminal 101 to the three-primary-colors signals R1, G1, and B1. It supplies the synchronizing signal of a video signal 1 to the screen-display control circuit 715 of the drive signal generating circuit 711 while it performs gamma processing and supplies it to the level inverter circuit 2713-2, after the video-signal processing circuit 2712-2 restores to the video signal 2 inputted through the terminal 102 to the three-primary-colors signals R2 and G2 and B-2. By control of the polarity-reversals signal POL 1 supplied from the screen-display control circuit 715, synchronizing with level reversal of the common electrical potential difference 1 (VCOM1), the level inverter circuit 1713-1 carries out level reversal to reference voltage by the opposite phase, and supplies the video signal supplied from the video-signal processing circuit 1712-1 to the SW circuit 1714-1 and the SW circuit 2714-2. By control of the polarity-reversals signal POL 2 supplied from the screen-display control circuit 715, synchronizing with level reversal of the common electrical potential difference 2 (VCOM2), the level inverter circuit 2713-2 carries out level reversal to reference voltage by the opposite phase, and supplies the video signal supplied from the video-signal processing circuit 2712-2 to the SW circuit 1714-1 and the SW circuit 2714-2. The SW circuit 1714-1 and the SW circuit 2714-2 choose either of the video signals supplied based on the selection signal 1 and selection signal 2 which are supplied from the screen-display control circuit 715, respectively from the level inverter circuit 1713-1 and the level inverter circuit 2713-2, and output it to the horizontal scanning circuit 1709-1 and the horizontal scanning circuit 2709-2, respectively. The screen-display control circuit 715 consists of a reference signal generating circuit 1717-1, a reference signal generating circuit 2717-2, and a control circuit 718, as shown in drawing 2 . Drawing 25 is drawing showing the example of a configuration of the control circuit 718 which constitutes the screen-display control circuit 715 of the image display device of drawing 24 , and has given the same sign to the same thing as the configuration of drawing 19 . It is the SW circuit 17 to differ from the configuration of drawing 19 in drawing 25 . It is that the polarity-reversals signal 1 outputted from 14-1 and the SW circuit 2714-2, respectively and not the polarity-reversals signal 2 but the polarity-reversals signal POL 1 outputted, respectively from POL1 signal generating circuit 801-1 and POL2 signal generating circuit 801-2 and the polarity-reversals signal POL 2 have composition supplied to the level inverter circuit 1713-1 and the level inverter circuit 2713-2,

respectively, and since others are the same configurations as drawing 19 , they omit explanation. As explained above, according to this invention, even if two or more asynchronous signals and two or more signals with which specifications differ input mutually possible [one screen display], two or more screen display is possible, and this image display device can be offered cheaply that top.

[Effect of the Invention] As explained above, according to the image display device of this invention, the image display device which displays the image obtained from two video signals which do not synchronize with right and left of a display panel can be offered cheaply. Moreover, since it was not influenced by the display of another side even if one signal of the video signals displayed on right and left of a display panel in two screen display is an unstable signal, like before, while became the main signal, and when it was not the signal by which the video signal was stabilized, the technical problem that an image was stabilized and it was not displayed was lost. therefore, signals, such as map information generated with the car-navigation system currently installed in in the car in the car-navigation system, - - **** for usual state HI -- it became there are nothings and possible to display two receivable signals. Moreover, the cheap image display device which displays two video signals with which broadcasting formats differ on coincidence can be offered. For example, in the area which can receive TV signal of PAL systems, such as Europe, signals, such as map information on a car-navigation system, and TV broadcast which are reproduced with NTSC system can be displayed on coincidence, without using digital disposal circuits, such as scanning-line conversion. Furthermore, in case it switches from the condition which displayed two video signals which do not synchronize on right and left of a display panel so that only one of video signals may be displayed, one of the images of right and left of a display panel can solve the technical problem resulting from only one half being displayed and the video signal of two ***** not synchronizing.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram of the image display device concerning the 1st example of this invention.

[Drawing 2] It is drawing showing the example of 1 configuration of the screen-display control circuit of the image display device of drawing 1 .

[Drawing 3] It is drawing showing the 1st example of a configuration of the reference signal generating circuit of drawing 2 .

[Drawing 4] It is drawing showing the 2nd example of a configuration of the reference signal generating circuit of drawing 2 .

[Drawing 5] It is drawing showing the display gestalt in one screen display of the image display device of drawing 1 .

[Drawing 6] It is drawing showing the display gestalt in two screen display of the image display device of drawing 1 .

[Drawing 7] It is drawing showing the 2nd example of the image display device of drawing 1 .

[Drawing 8] It is drawing showing the 3rd example of the image display device of drawing 1 .

[Drawing 9] It is the outline block diagram of one conventional image display device.

[Drawing 10] It is the outline block diagram of the input-process circuit of the image display device of drawing 9 .

[Drawing 11] It is the outline block diagram of the frame synchronization circuit of the image display device of drawing 9 .

[Drawing 12] It is the outline block diagram of the liquid crystal display of the image display device of drawing 9 .

[Drawing 13] It is the outline block diagram of the data-conversion circuit of the image display device of drawing 9 .

[Drawing 14] It is drawing showing 1 display gestalt of the image display device of drawing 9 .

[Drawing 15] It is drawing showing the display gestalt in two screen display of the image display device of drawing 9 .

[Drawing 16] Drawing 16 is the outline block diagram of the image display device concerning one example of this invention.

[Drawing 17] Drawing 17 is drawing showing the example of 1 configuration of the screen-display control circuit of the image display

device of drawing 16 .

[Drawing 18] Drawing 18 is drawing showing the example of 1 configuration of the reference signal generating circuit of drawing 17 .

[Drawing 19] Drawing 19 is drawing showing the example of 1 configuration of the control circuit of drawing 17 .

[Drawing 20] Drawing 20 is drawing showing the example of 1 configuration of the screen change-over control circuit of drawing 19 .

[Drawing 21] Drawing 21 is the timing chart showing the switch actuation to one screen display by the video signal 1 of the control circuit of drawing 19 from two screen display, and the switch actuation to two screen display from this one screen display.

[Drawing 22] Drawing 22 is the timing chart showing the switch actuation to one screen display by the video signal 2 of the control circuit of drawing 19 from two screen display, and the switch actuation to two screen display from this one screen display.

[Drawing 23] Drawing 23 is the timing chart showing actuation of the control circuit of drawing 19 which replaces an image on either side in two screen display.

[Drawing 24] Drawing 24 is the block diagram showing other examples of the image display device of this invention.

[Drawing 25] Drawing 25 is drawing showing the example of a configuration of the control circuit 718 which constitutes the screen-display control circuit 715 of the image display device of drawing 24 .

[Description of Notations]

7 -- Liquid crystal display

701 -- Display panel

702 -- Pixel electrode

703 -- Switching element

704 -- Scan signal line

705 -- Data signal line

706 -- Counterelectrode

708, 708-1, 708-2 -- Vertical-scanning circuit

709, 709-1, 709-2 -- Horizontal scanning circuit

710, 710-1, 710-2 -- Common electrical-potential-difference generating circuit

711 -- Drive signal generating circuit

712, 712-1, 712-2 -- Video-signal processing circuit

713, 713-1, 713-2 -- Level inverter circuit

714-1, 714-2 -- SW circuit

715 -- Screen-display control circuit

716-1, 716-2 -- Scan control circuit

717-1, 717-2 -- Reference signal generating circuit
803-1, 803-2 -- Signal selection circuitry
804 -- Decoding circuit
805-1, 805-2 -- Control signal acquisition circuit
806 -- Screen change-over control circuit
807 -- Selection-signal generating circuit
808 -- 1 / 2 screen signal generating circuit
809 -- Sampling control circuit

[Translation done.]

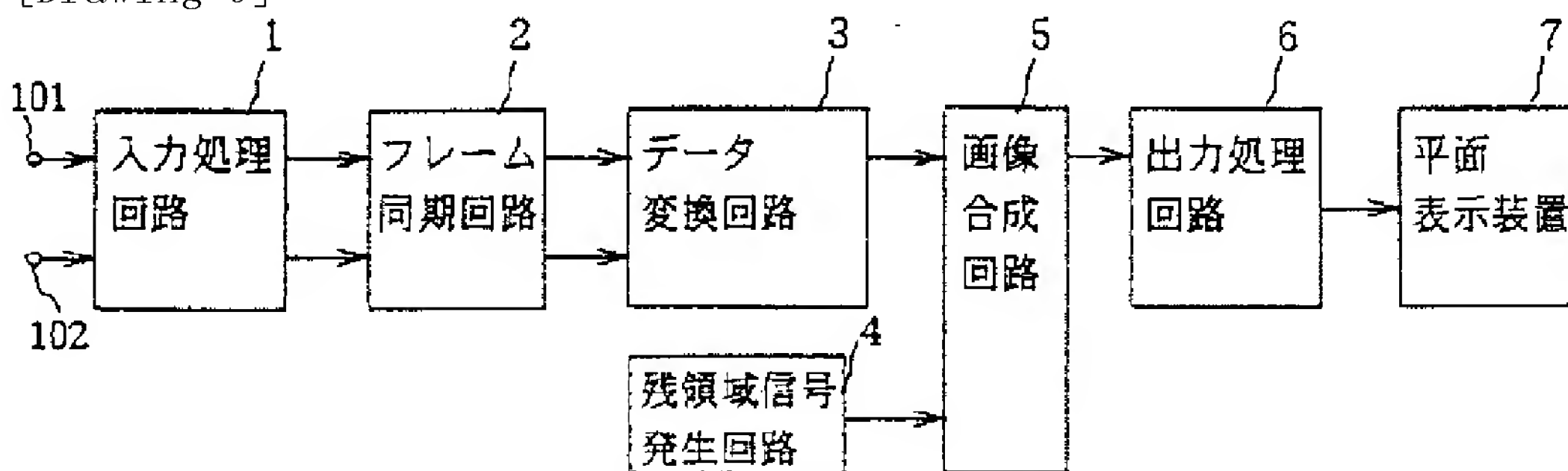
* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

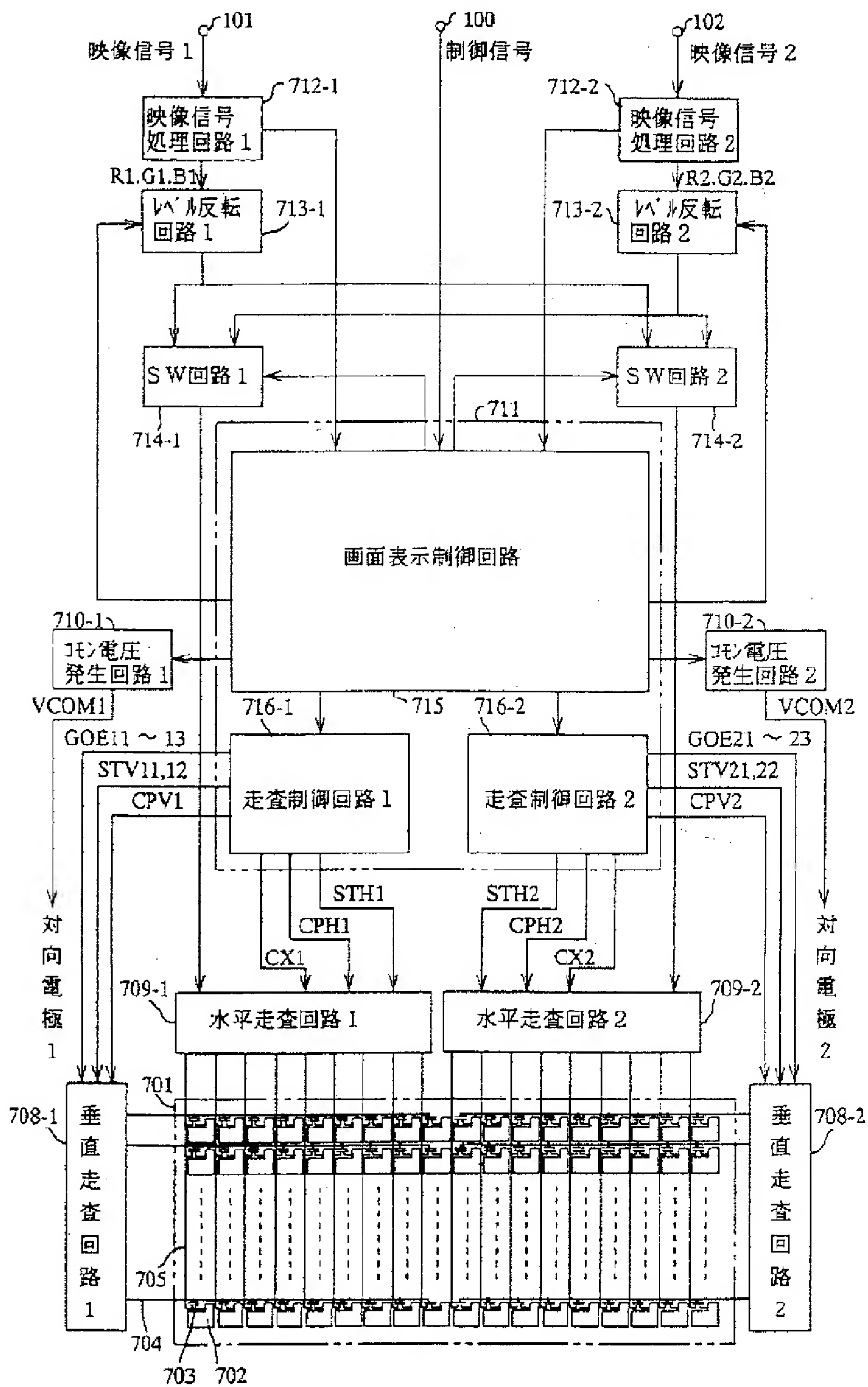
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

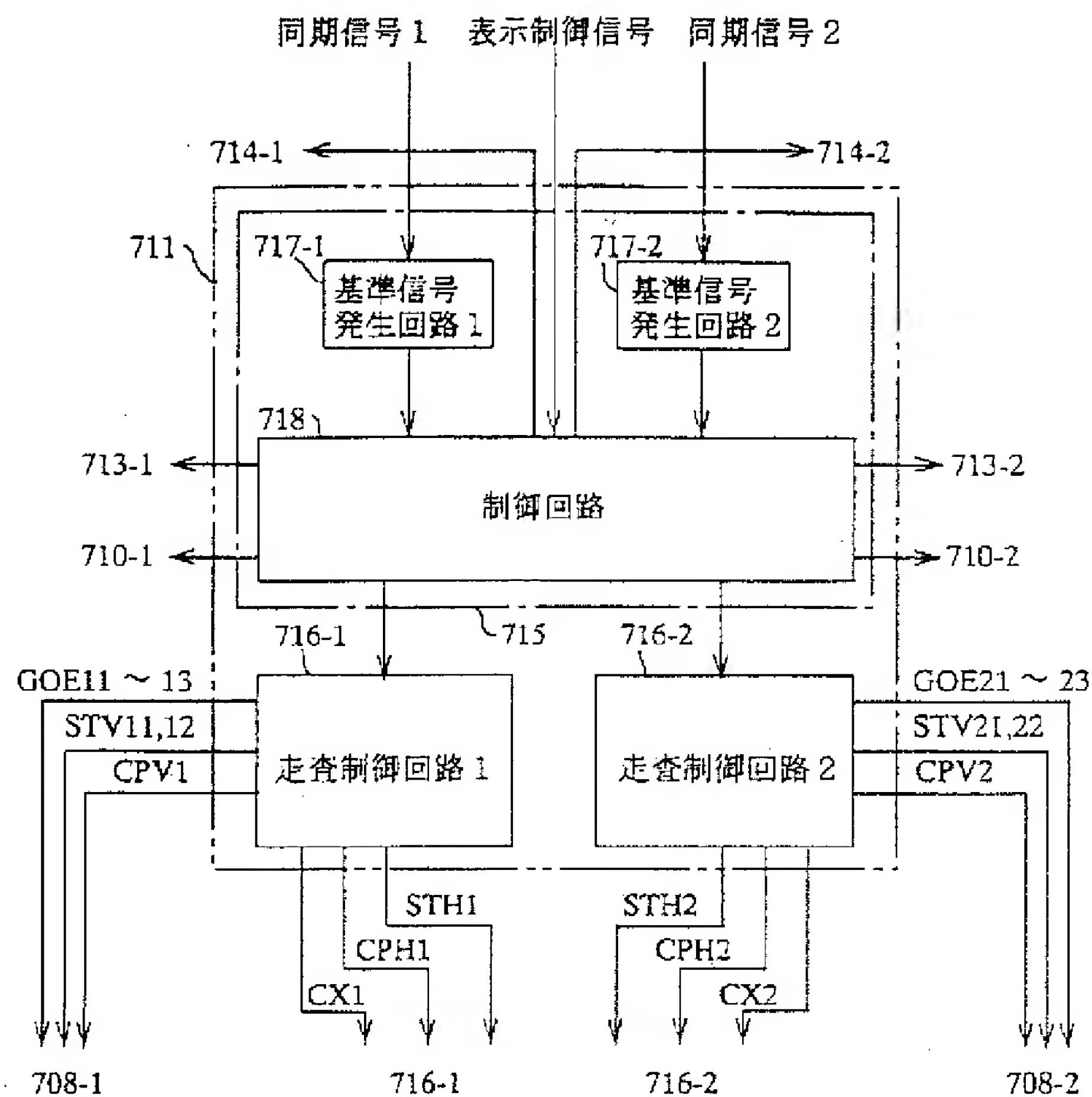
[Drawing 9]



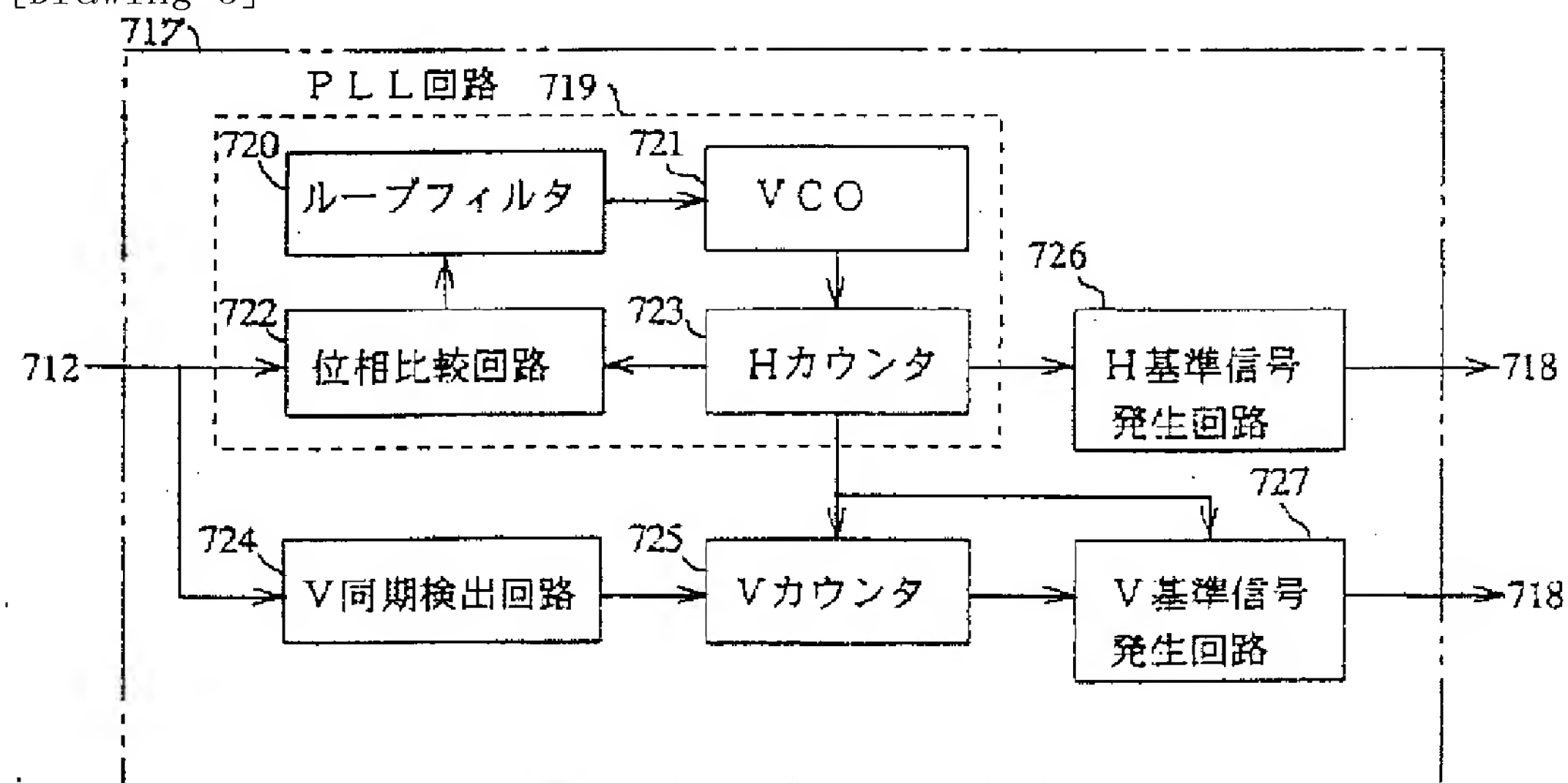
[Drawing 1]



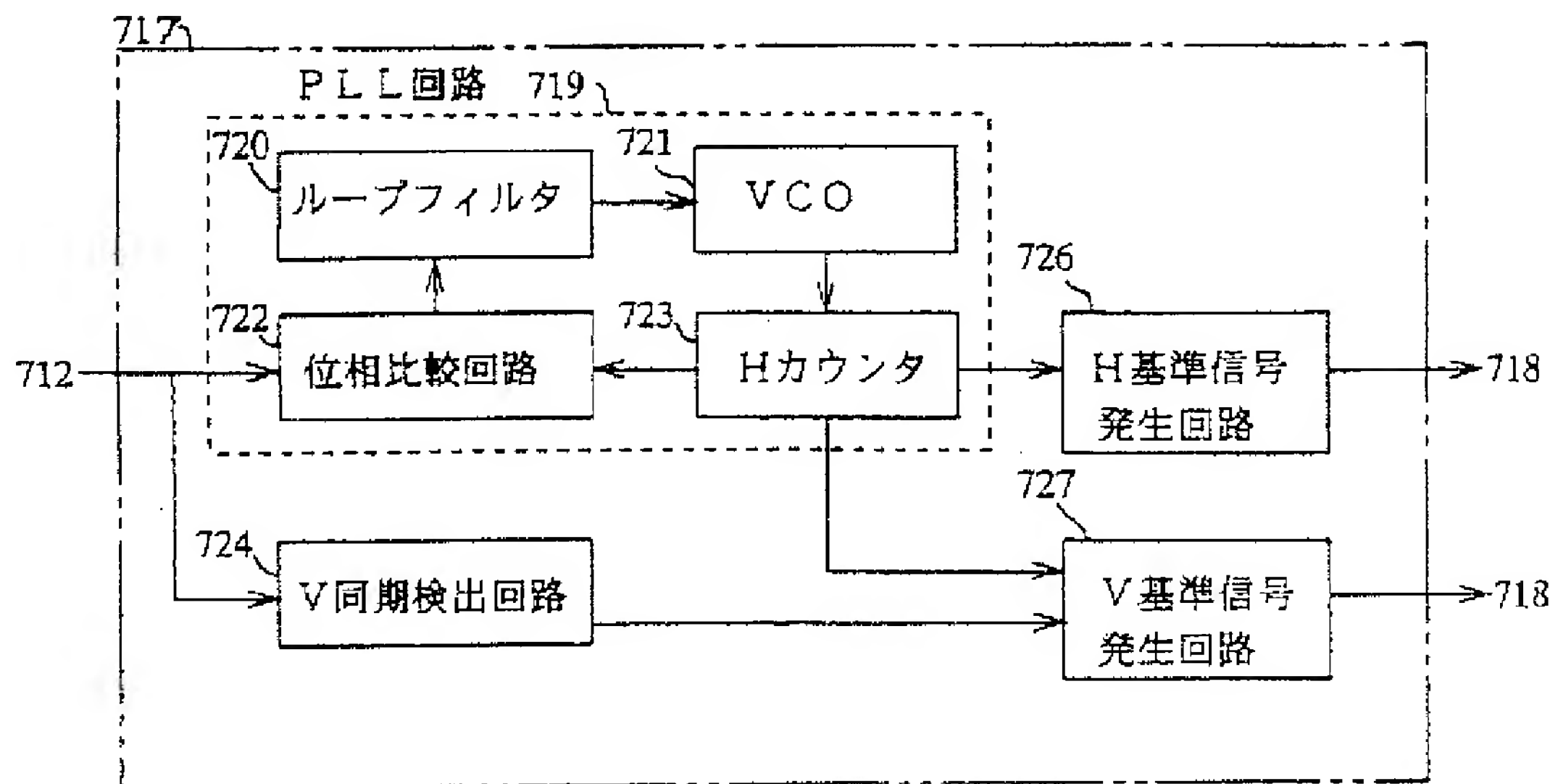
[Drawing 2]



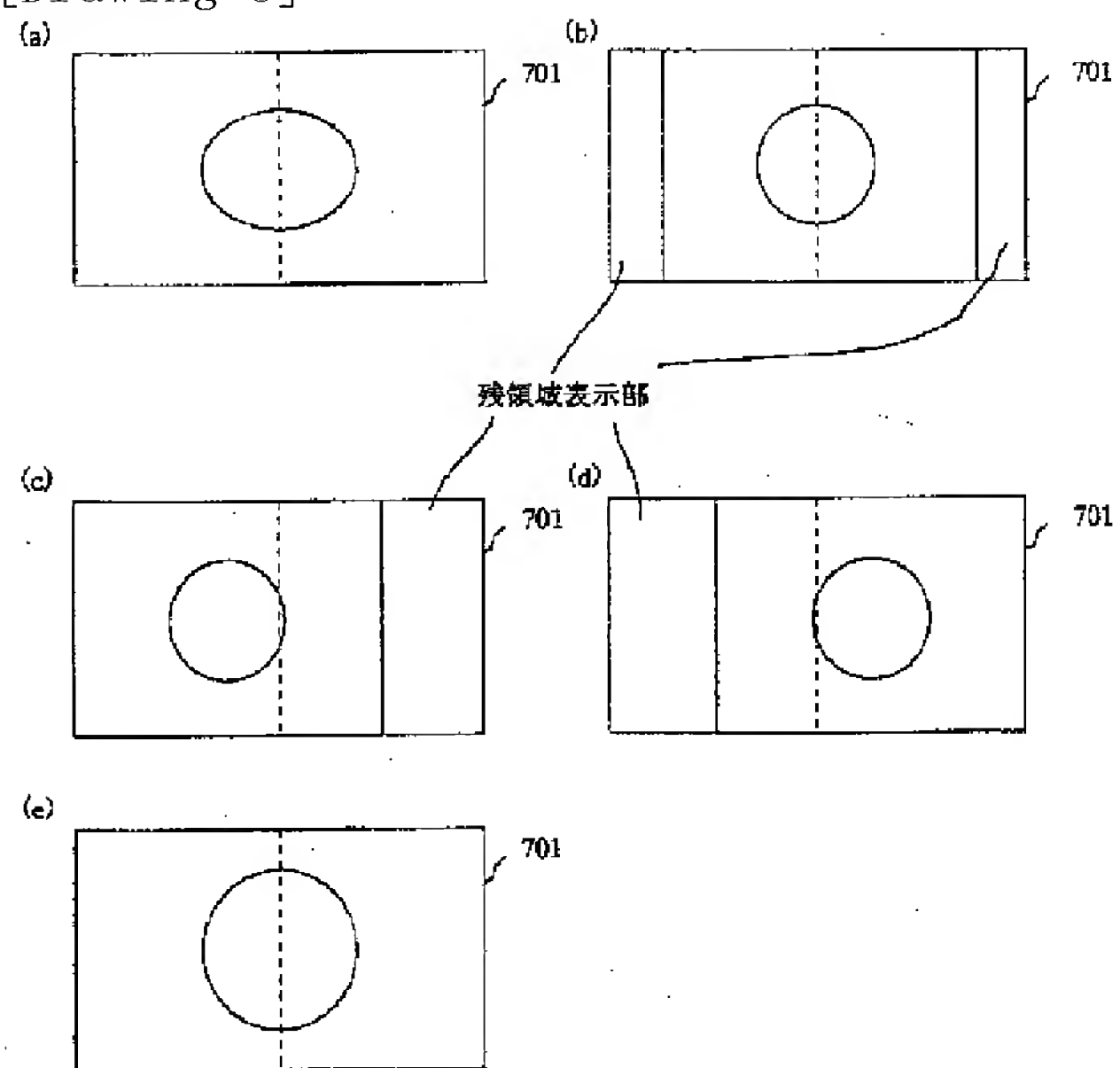
[Drawing 3]



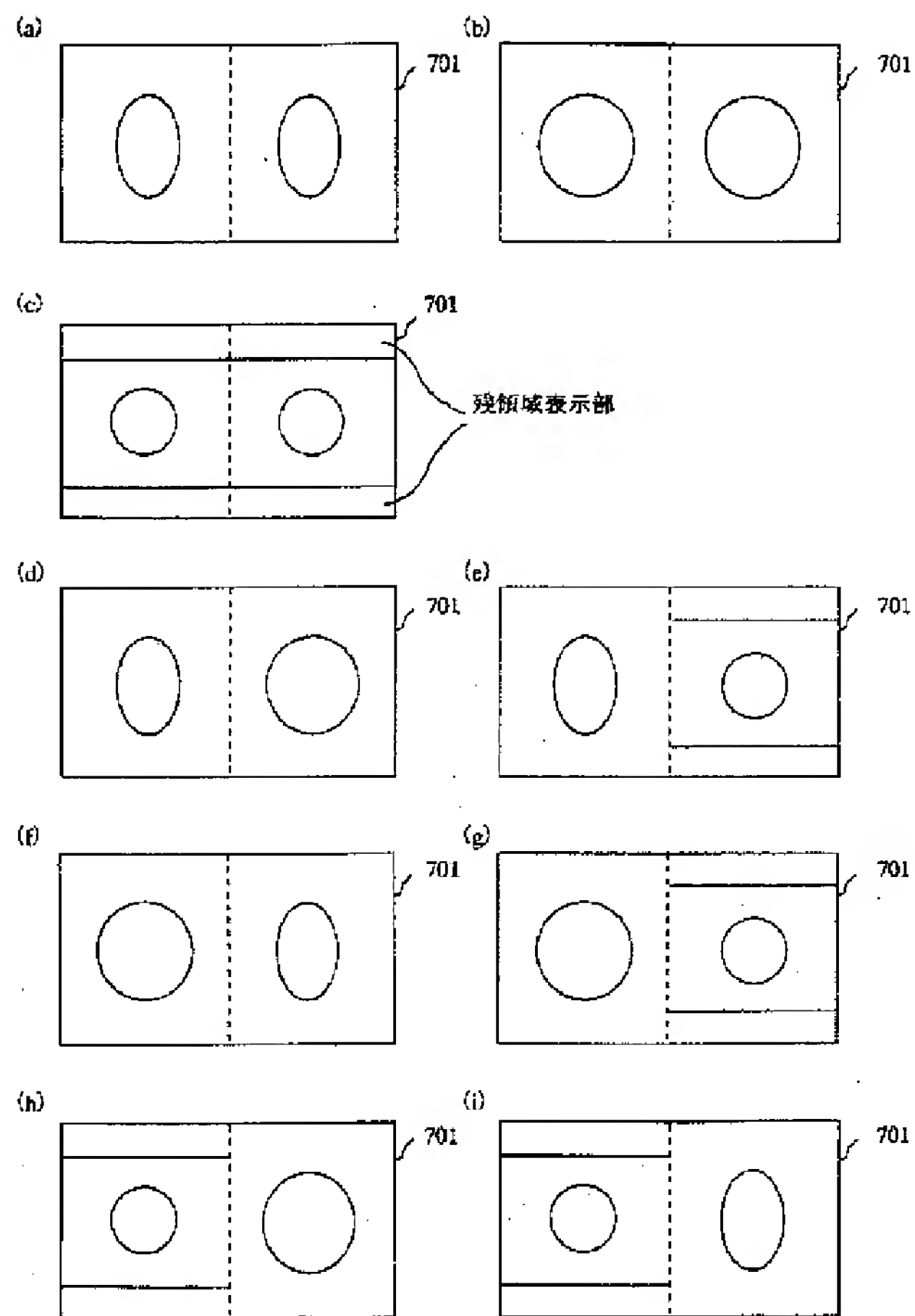
[Drawing 4]



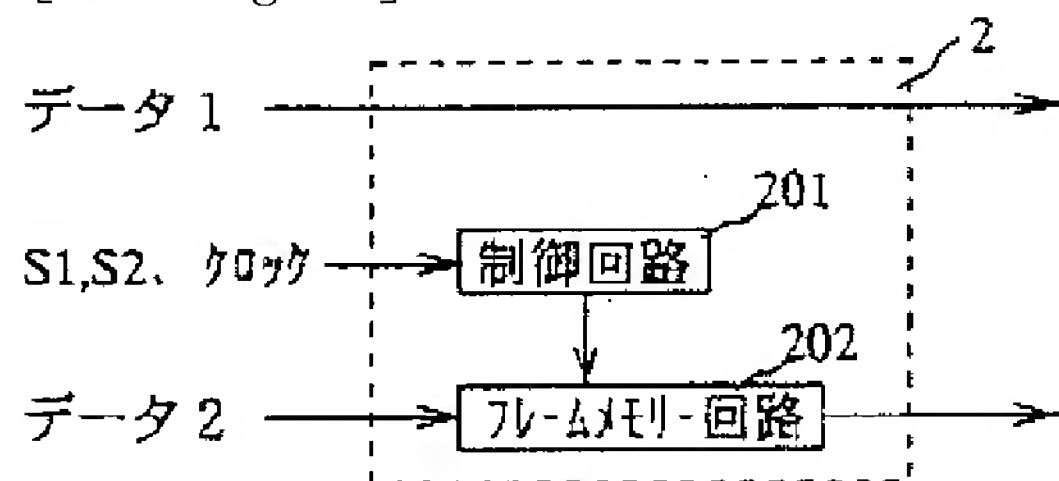
[Drawing 5]



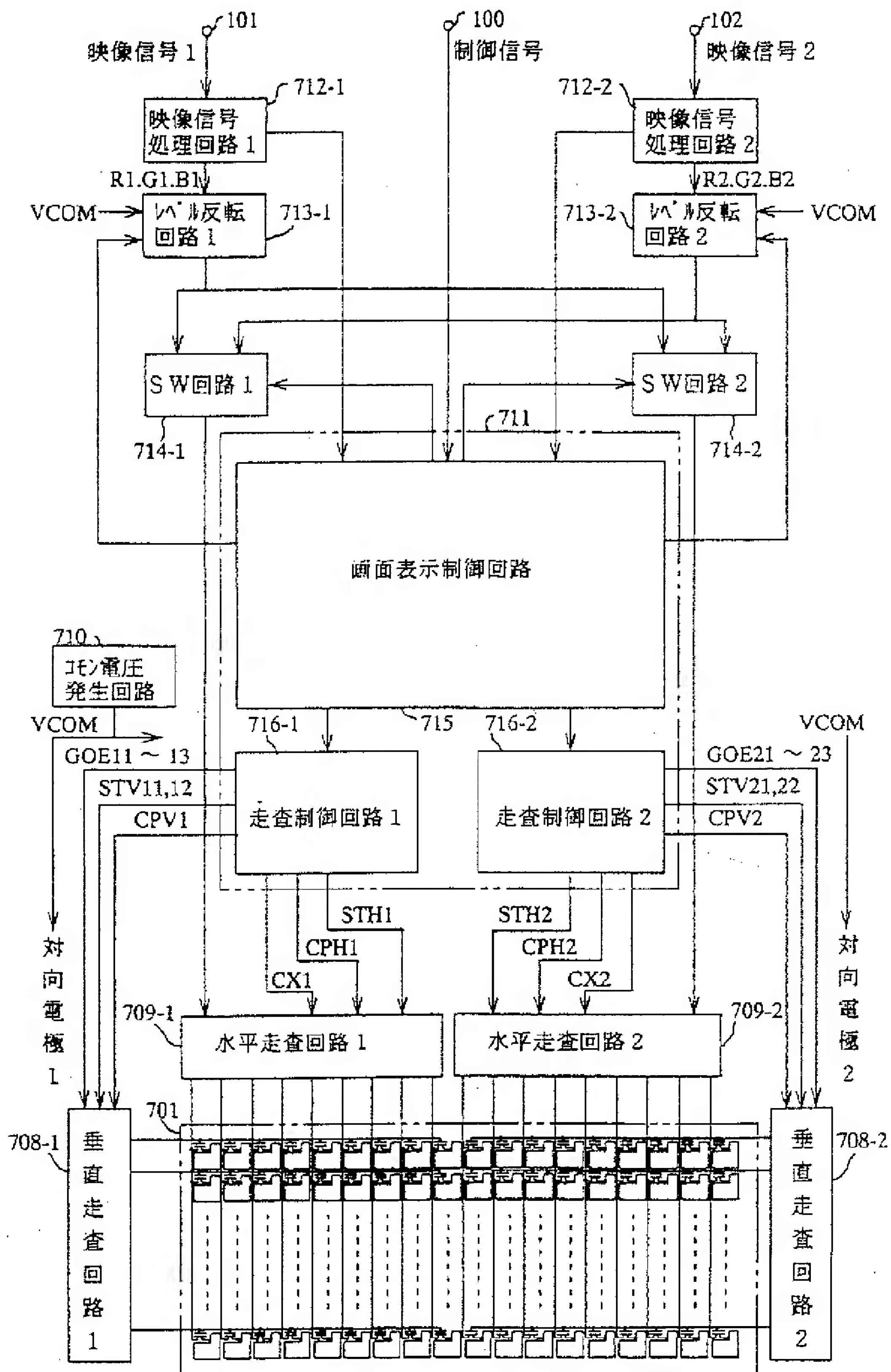
[Drawing 6]



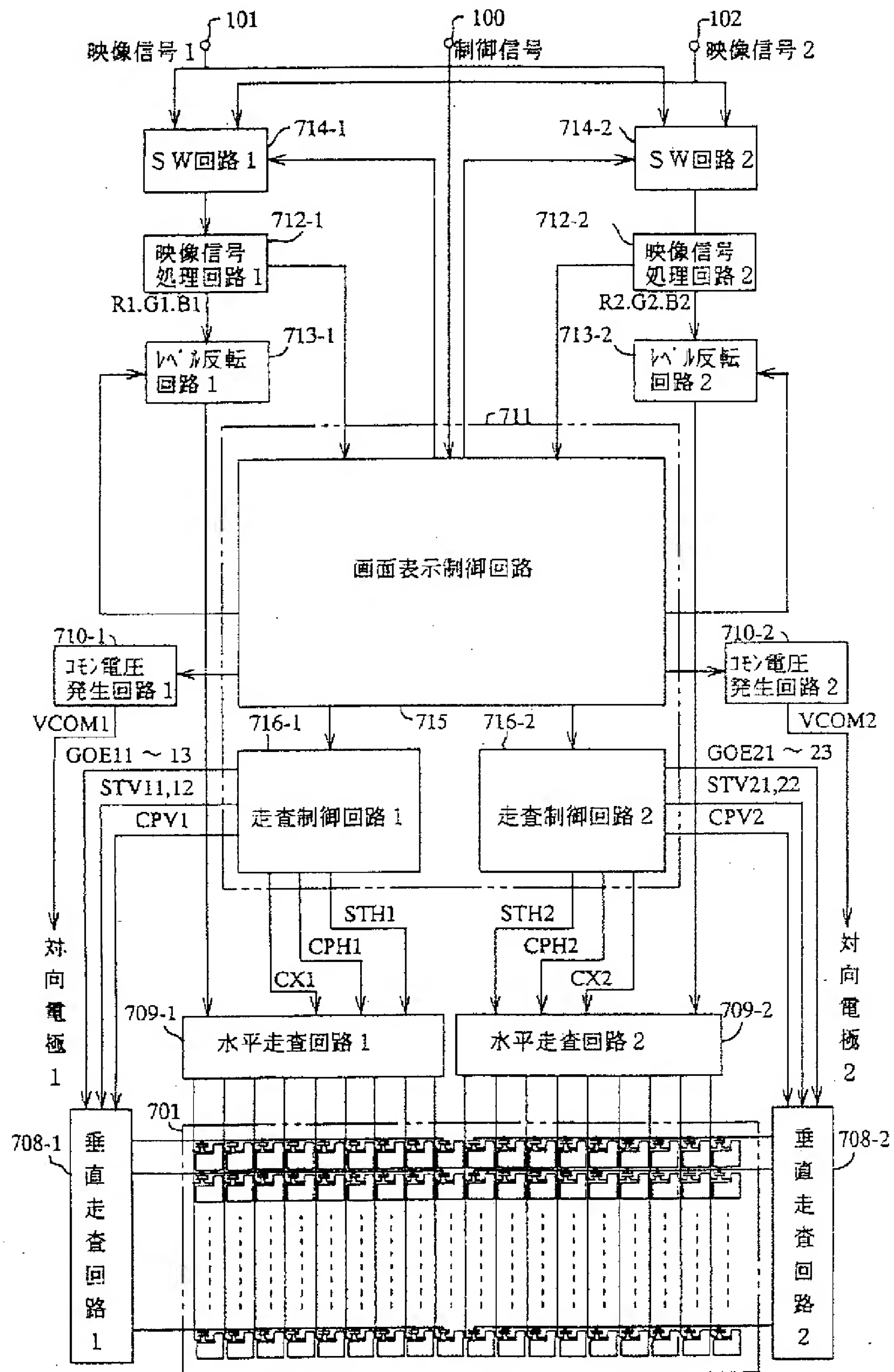
[Drawing 11]



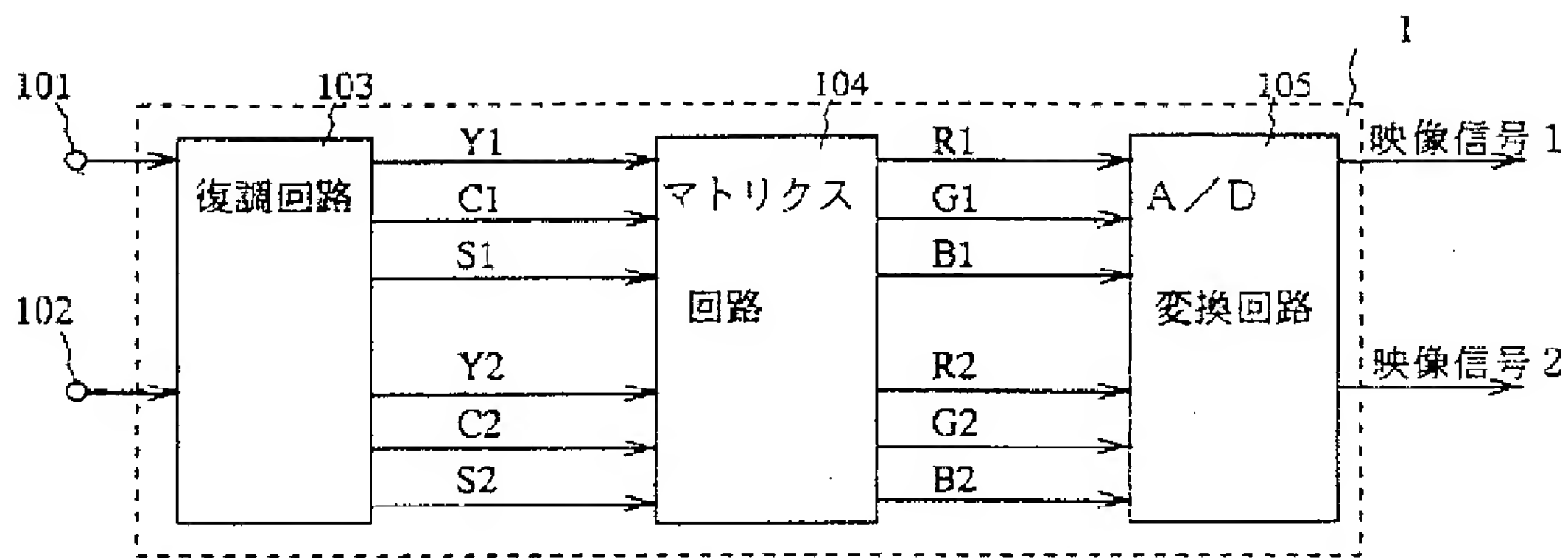
[Drawing 7]



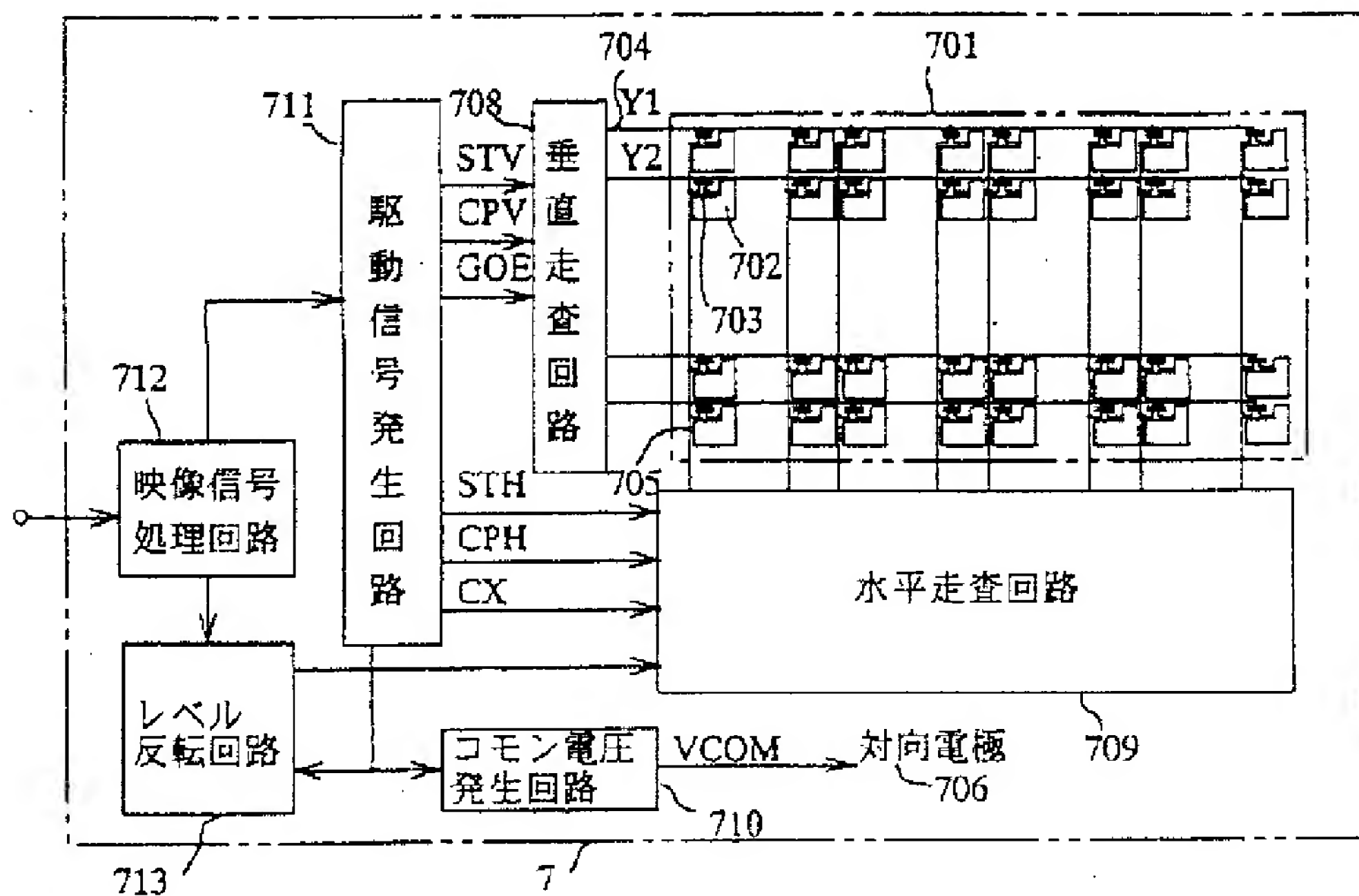
[Drawing 8]



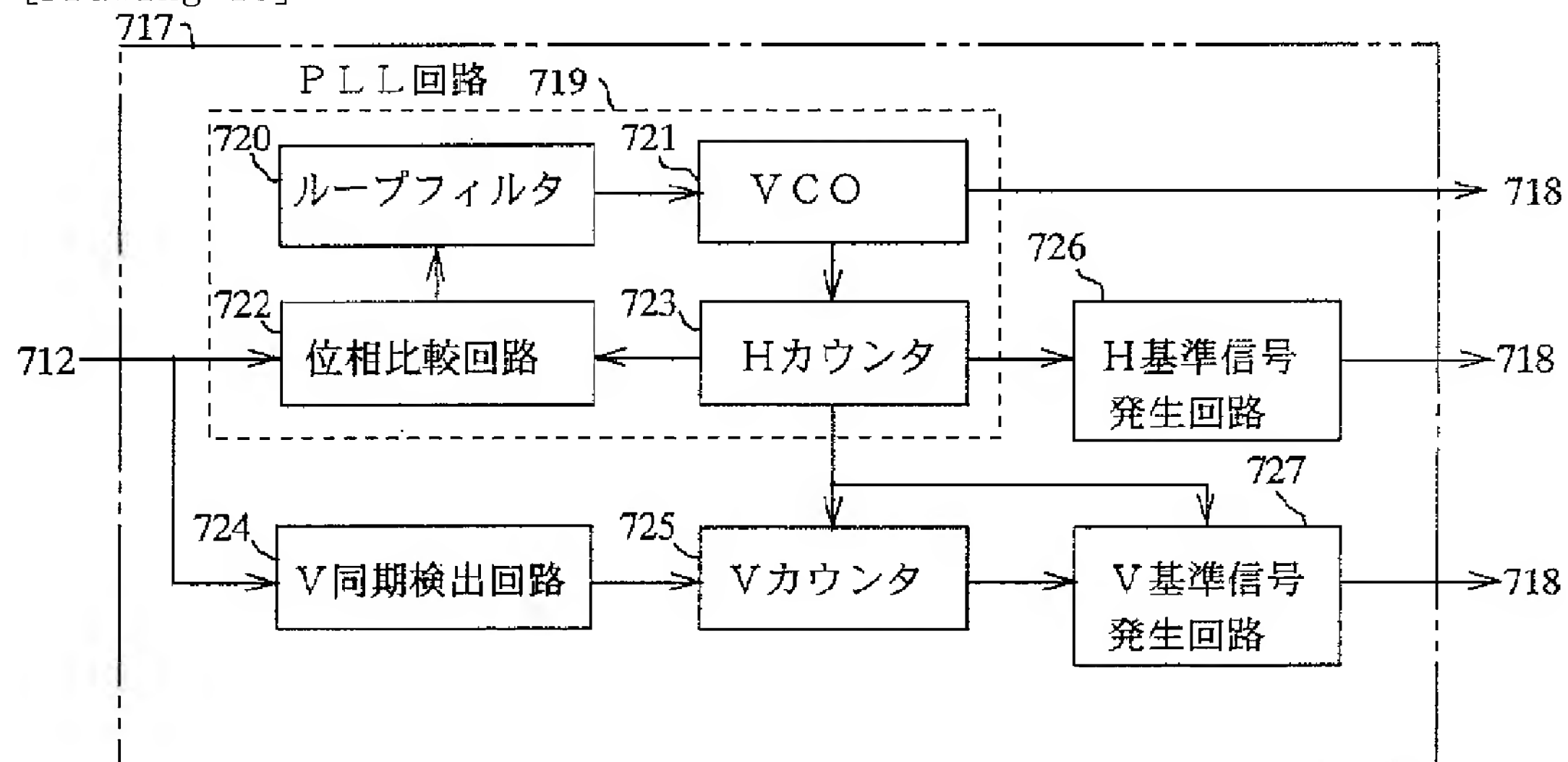
[Drawing 10]



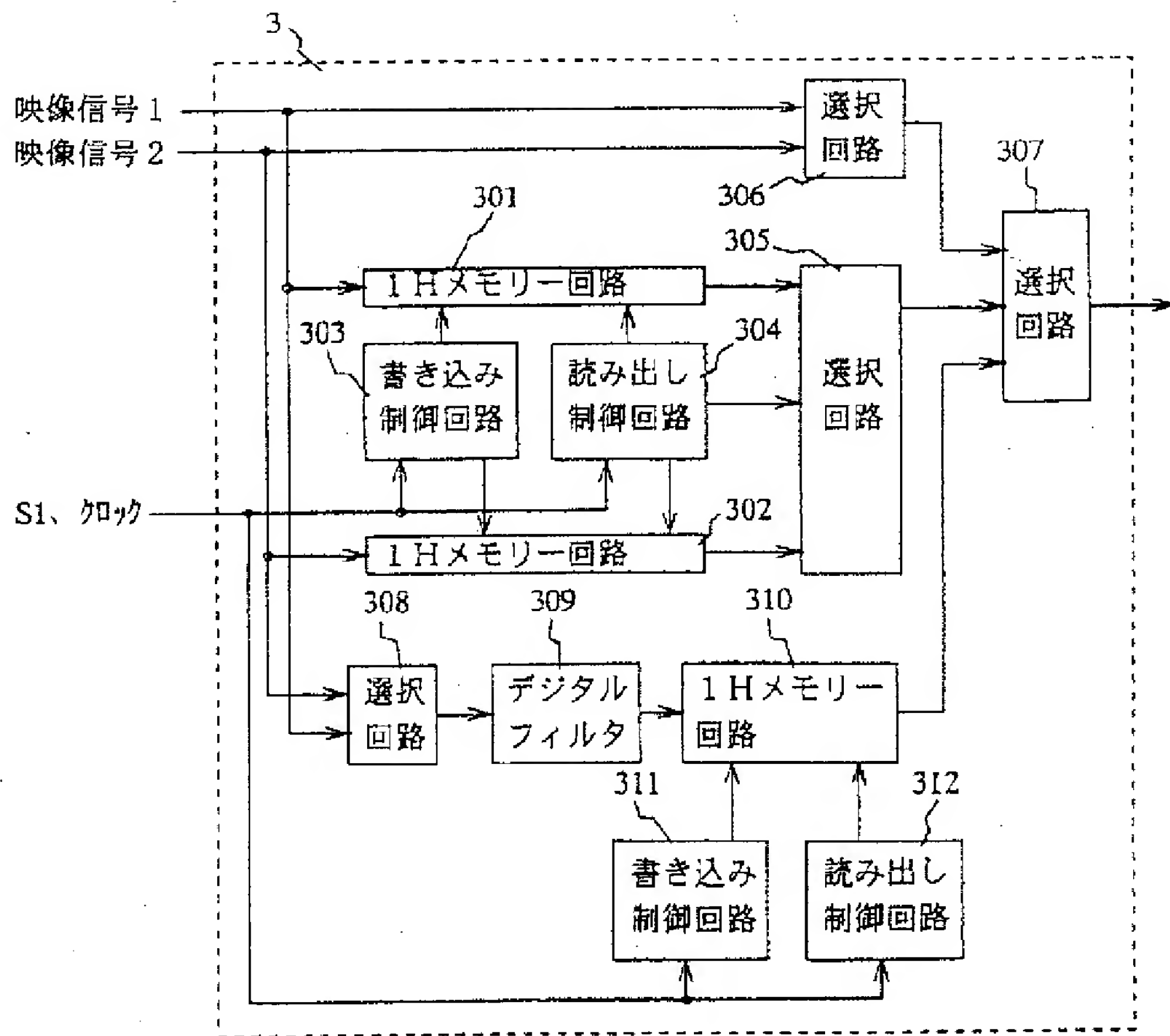
[Drawing 12]



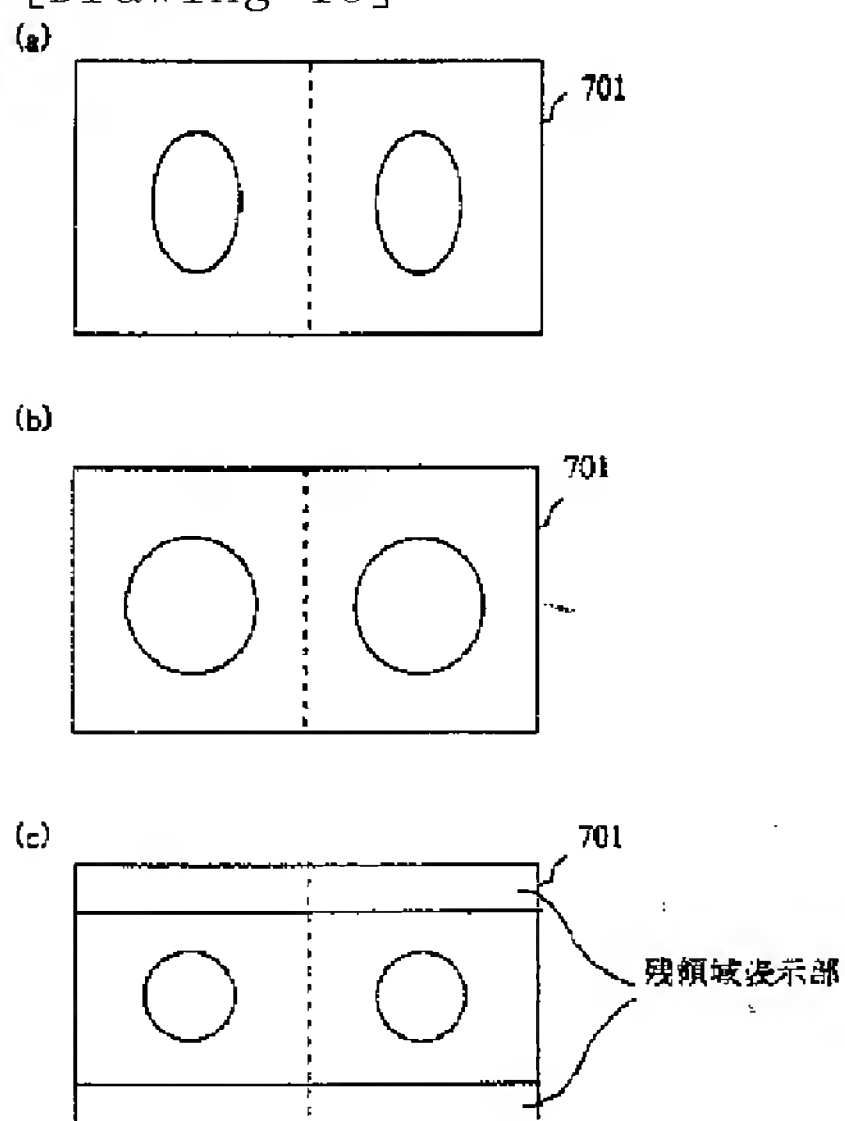
[Drawing 18]



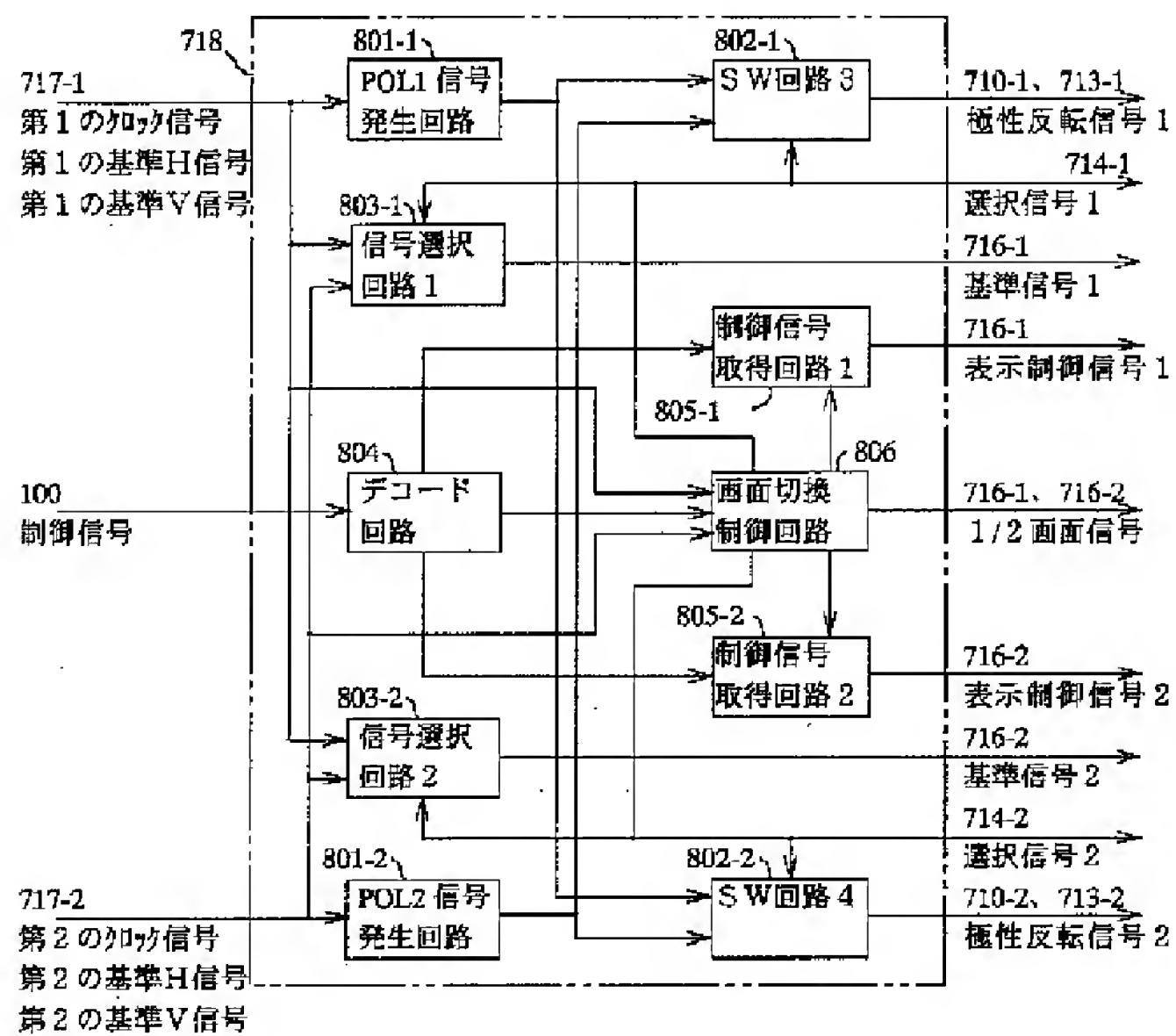
[Drawing 13]



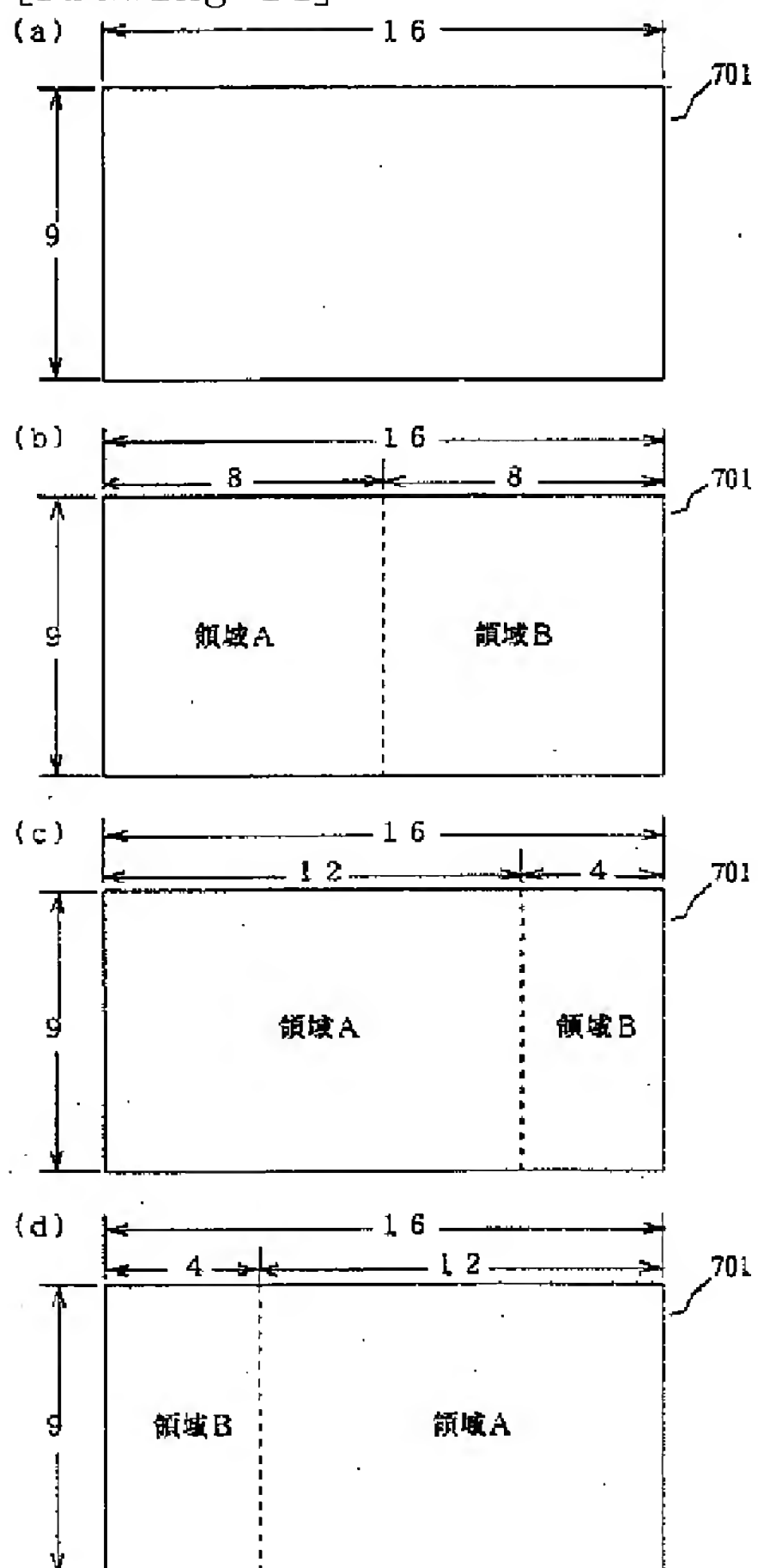
[Drawing 15]



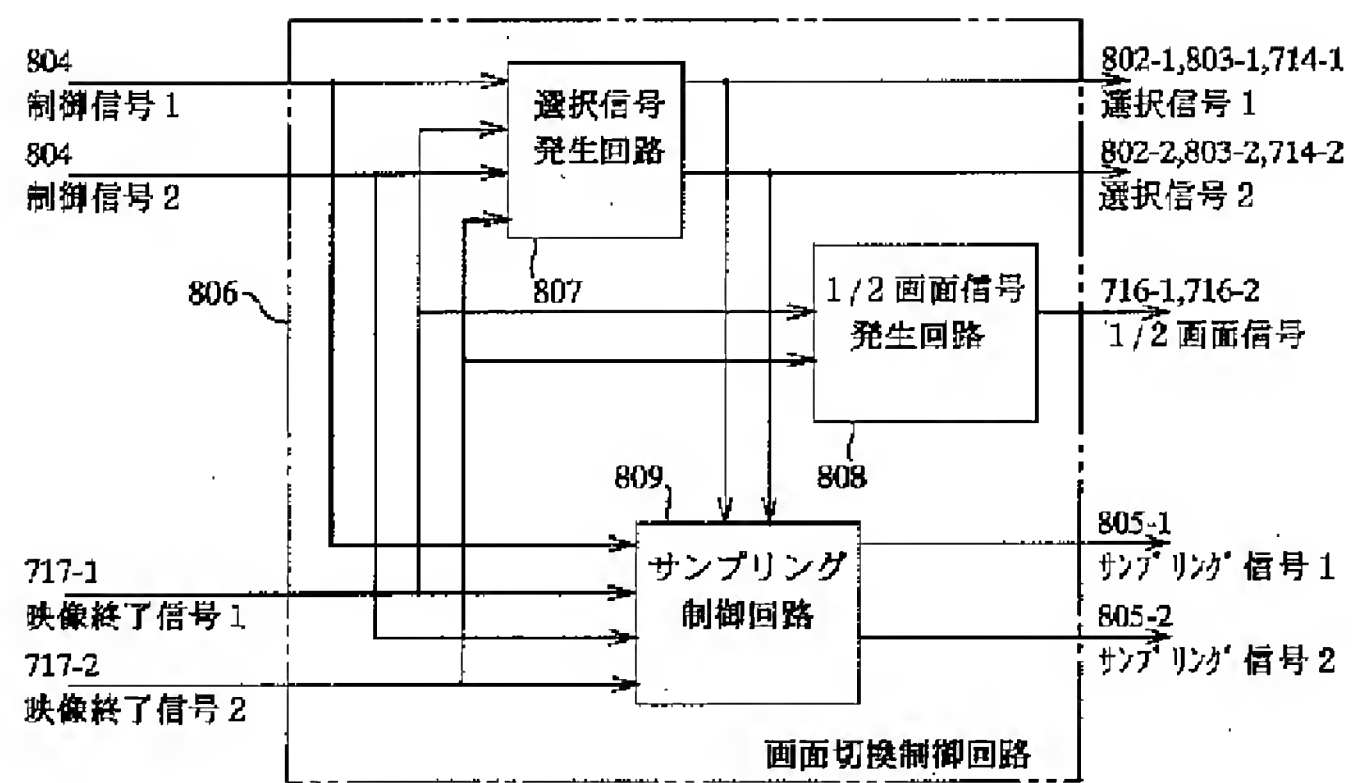
[Drawing 19]



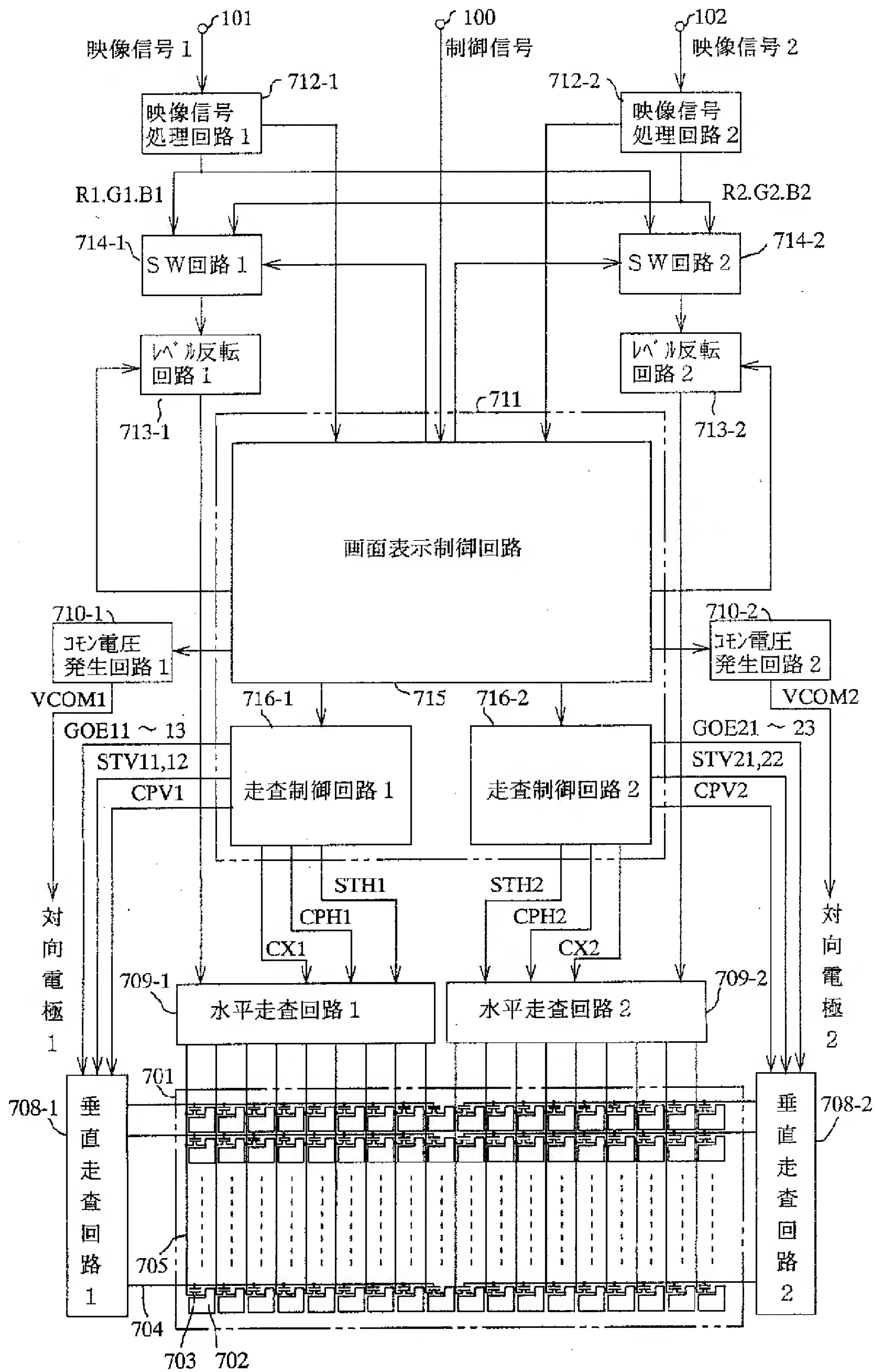
[Drawing 14]



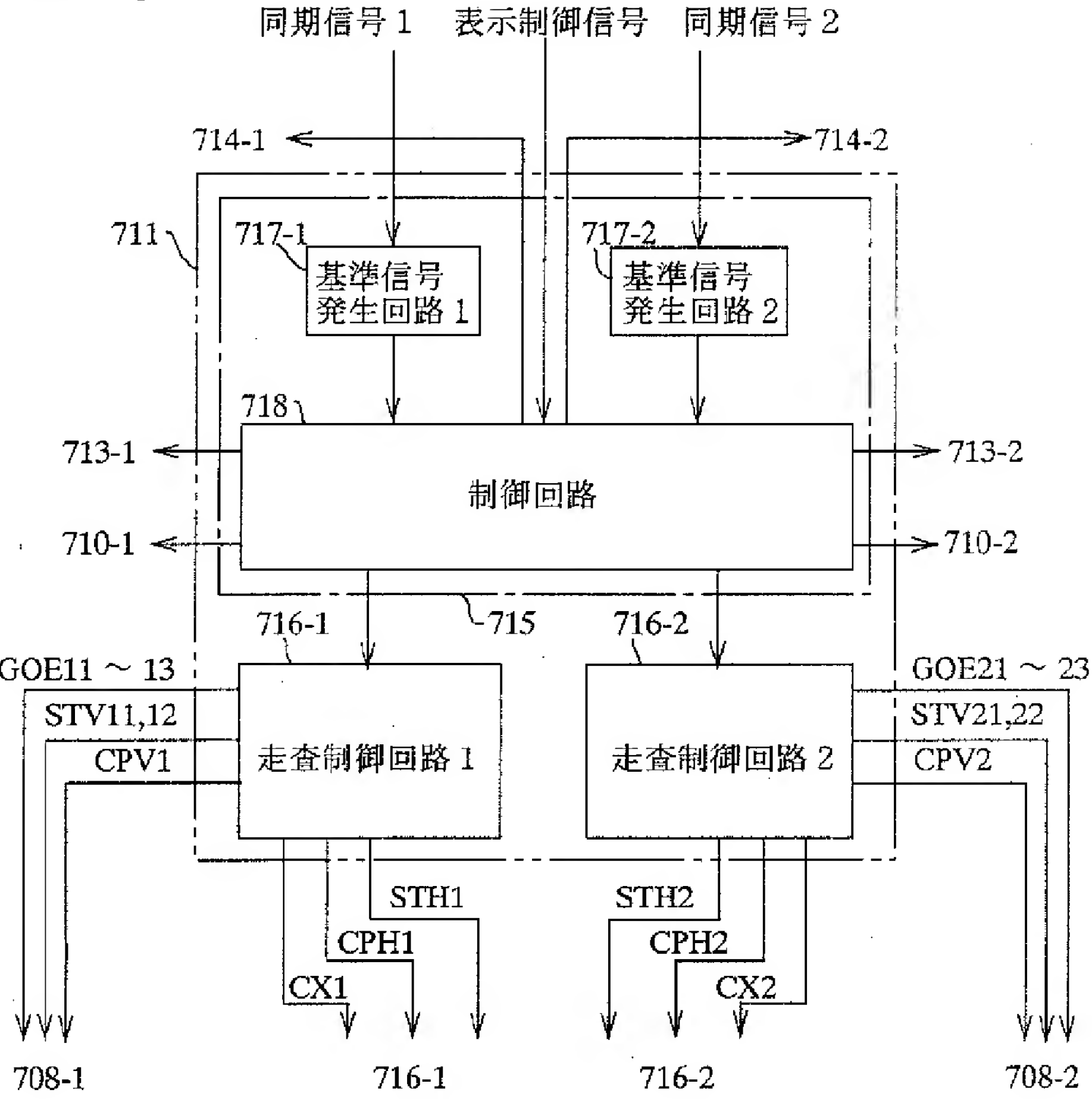
[Drawing 20]



[Drawing 16]

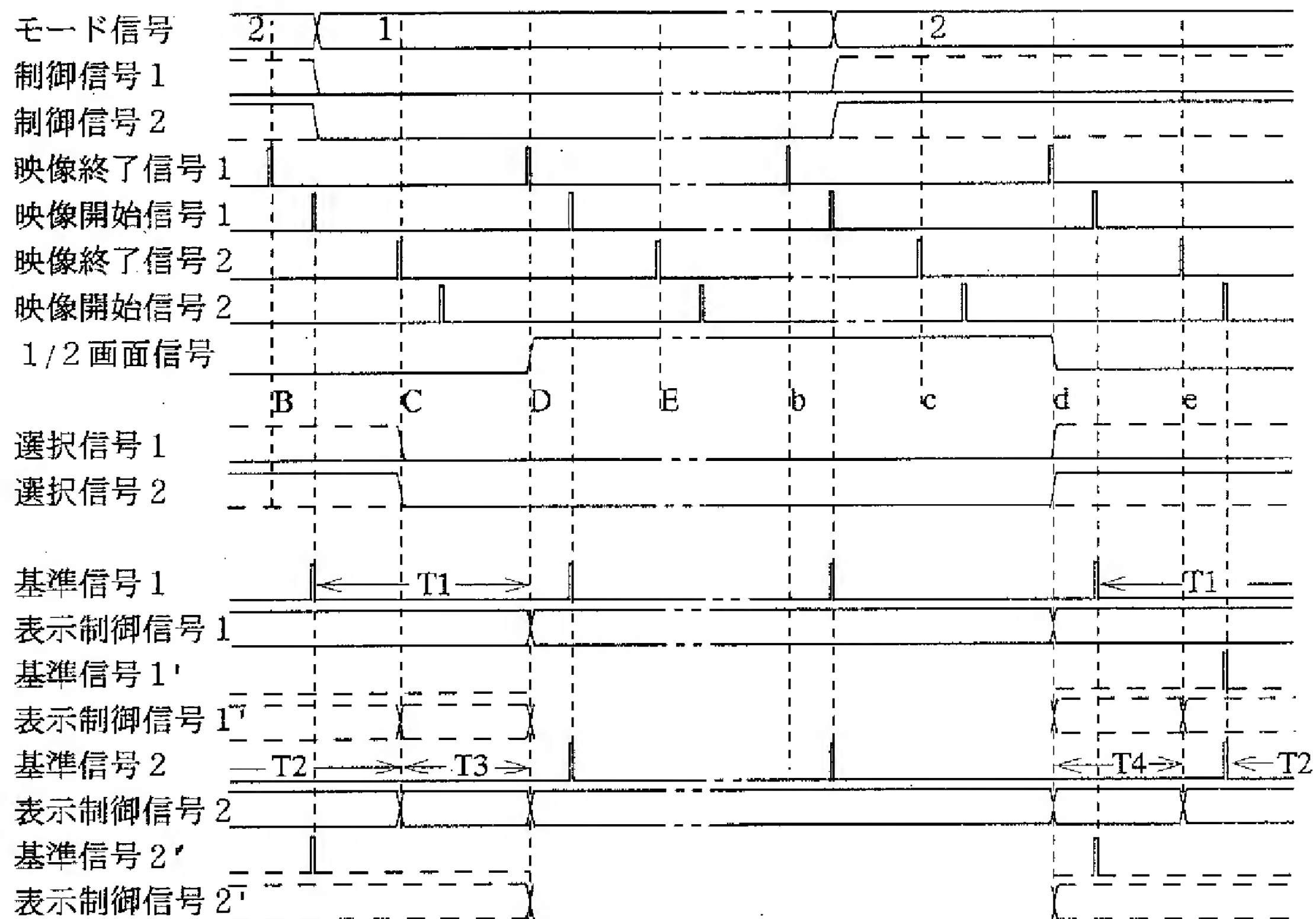


[Drawing 17]

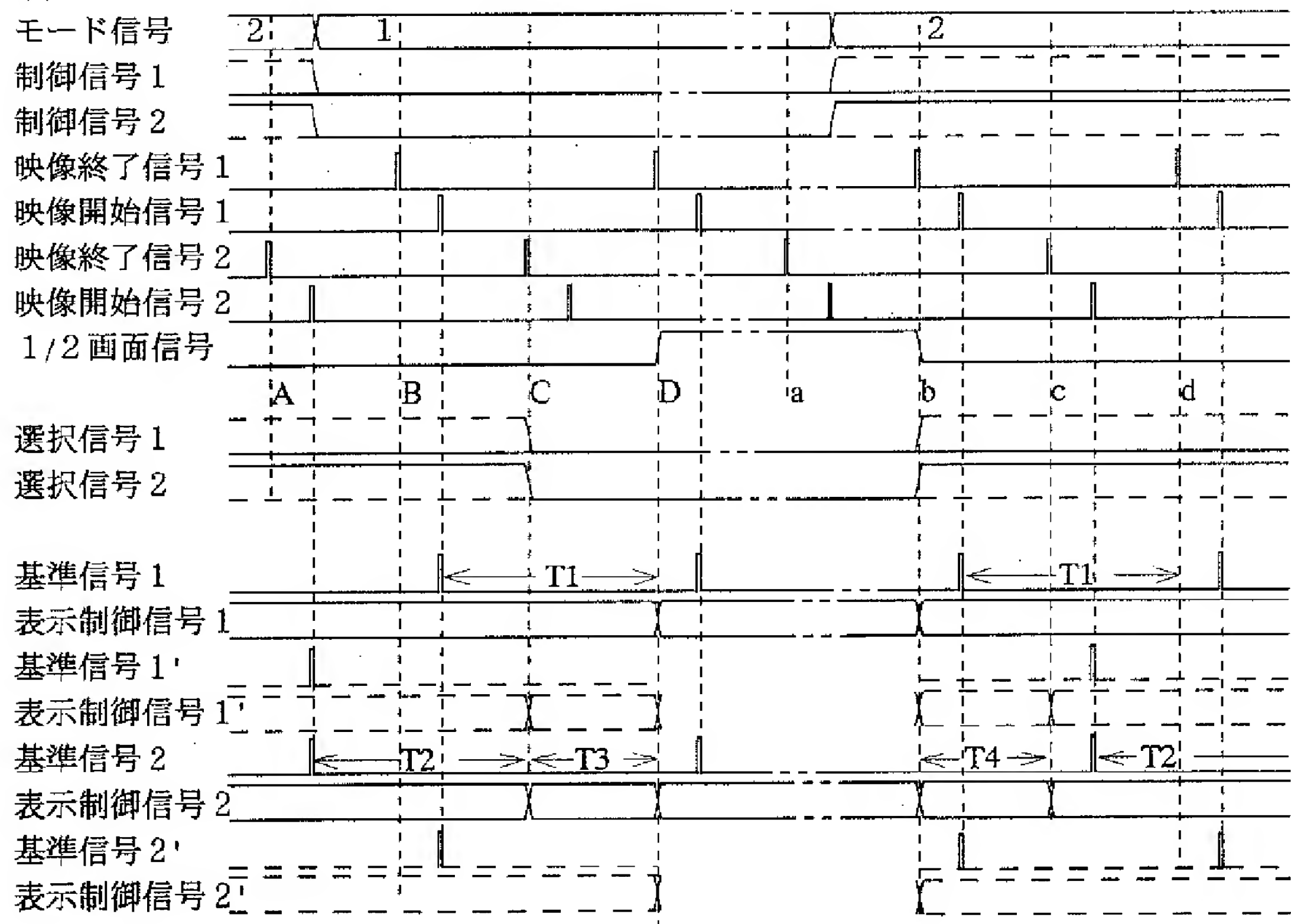


[Drawing 21]

(1)



(2)

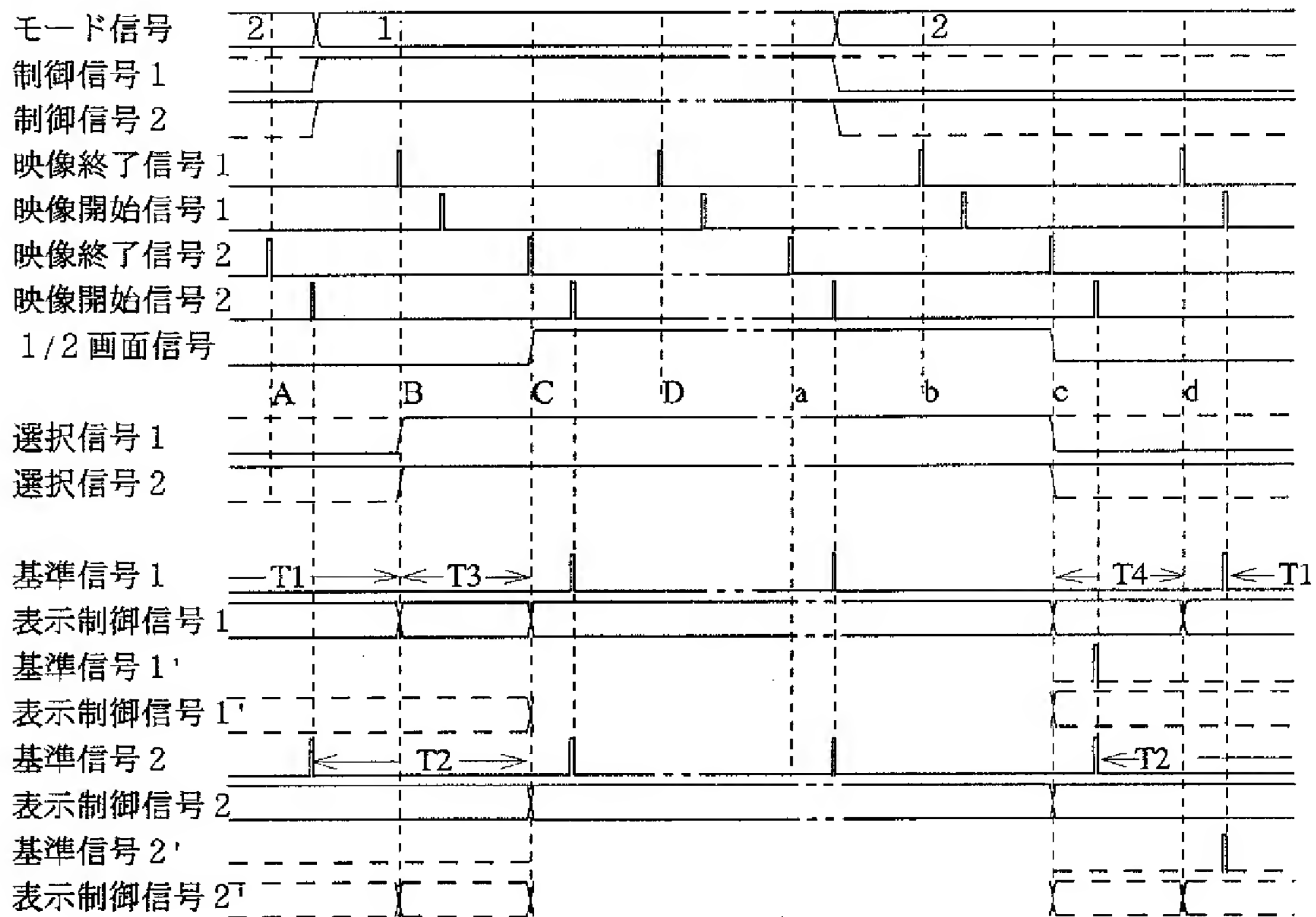


[Drawing 22]

(1)



(2)



[Drawing 23]

(1)

モード信号

制御信号 1

制御信号 2

映像終了信号 1

映像開始信号 1

映像終了信号 2

映像開始信号 2

1/2 画面信号

選択信号 1

選択信号 2

基準信号 1

表示制御信号 1

基準信号 1'

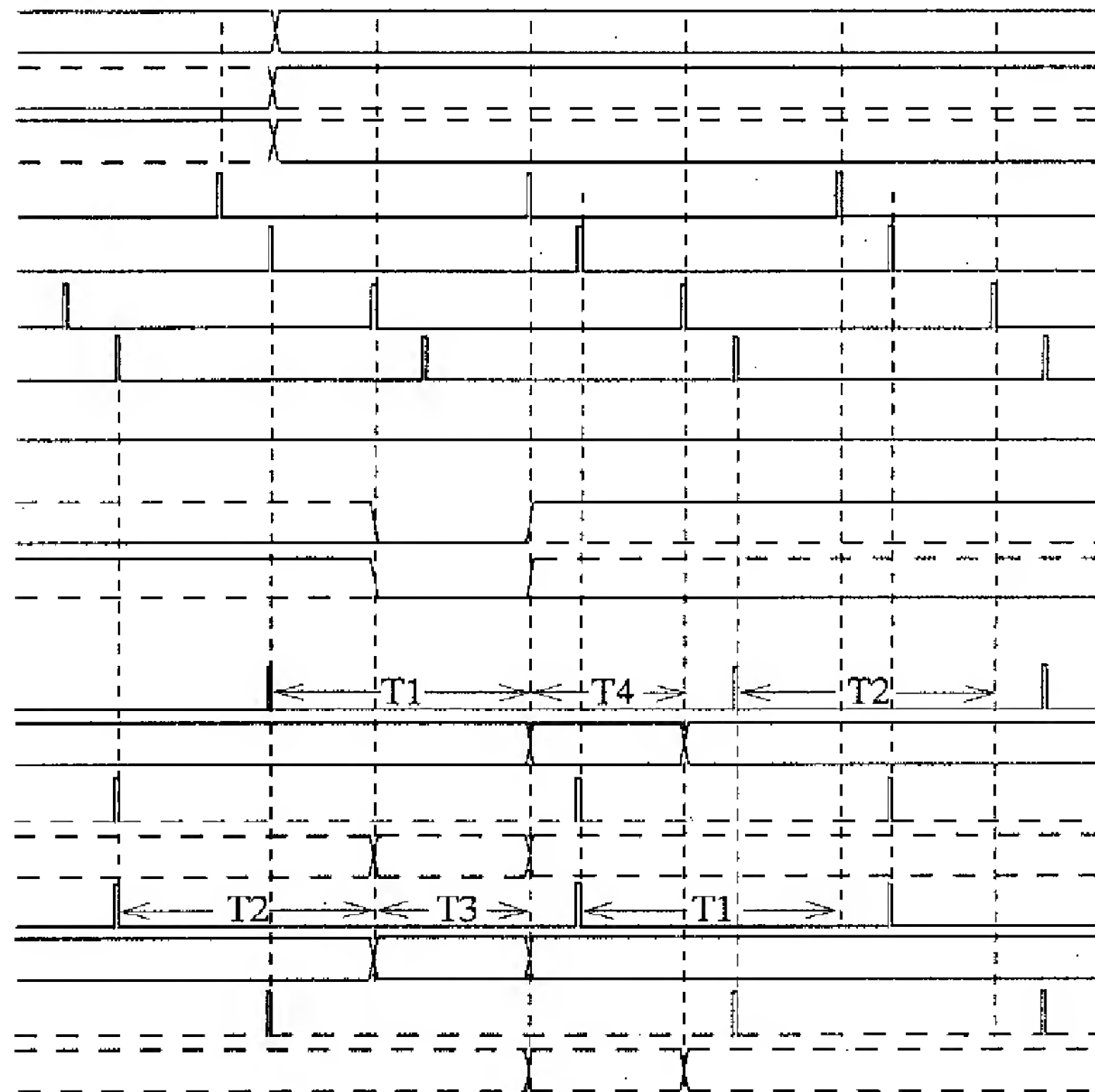
表示制御信号 1'

基準信号 2

表示制御信号 2

基準信号 2'

表示制御信号 2'



(2)

モード信号

制御信号 1

制御信号 2

映像終了信号 1

映像開始信号 1

映像終了信号 2

映像開始信号 2

1/2 画面信号

選択信号 1

選択信号 2

基準信号 1

表示制御信号 1

基準信号 1'

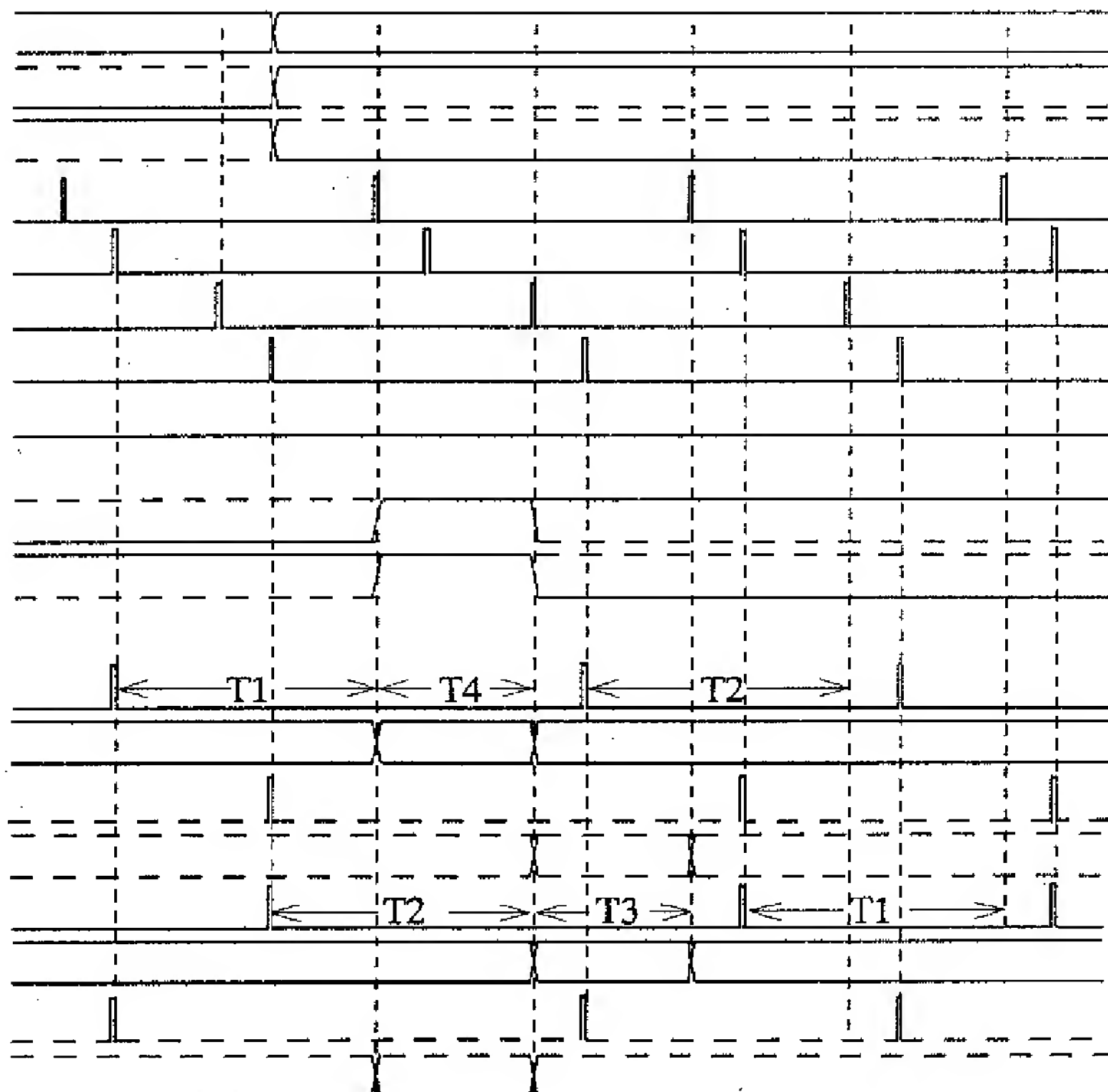
表示制御信号 1'

基準信号 2

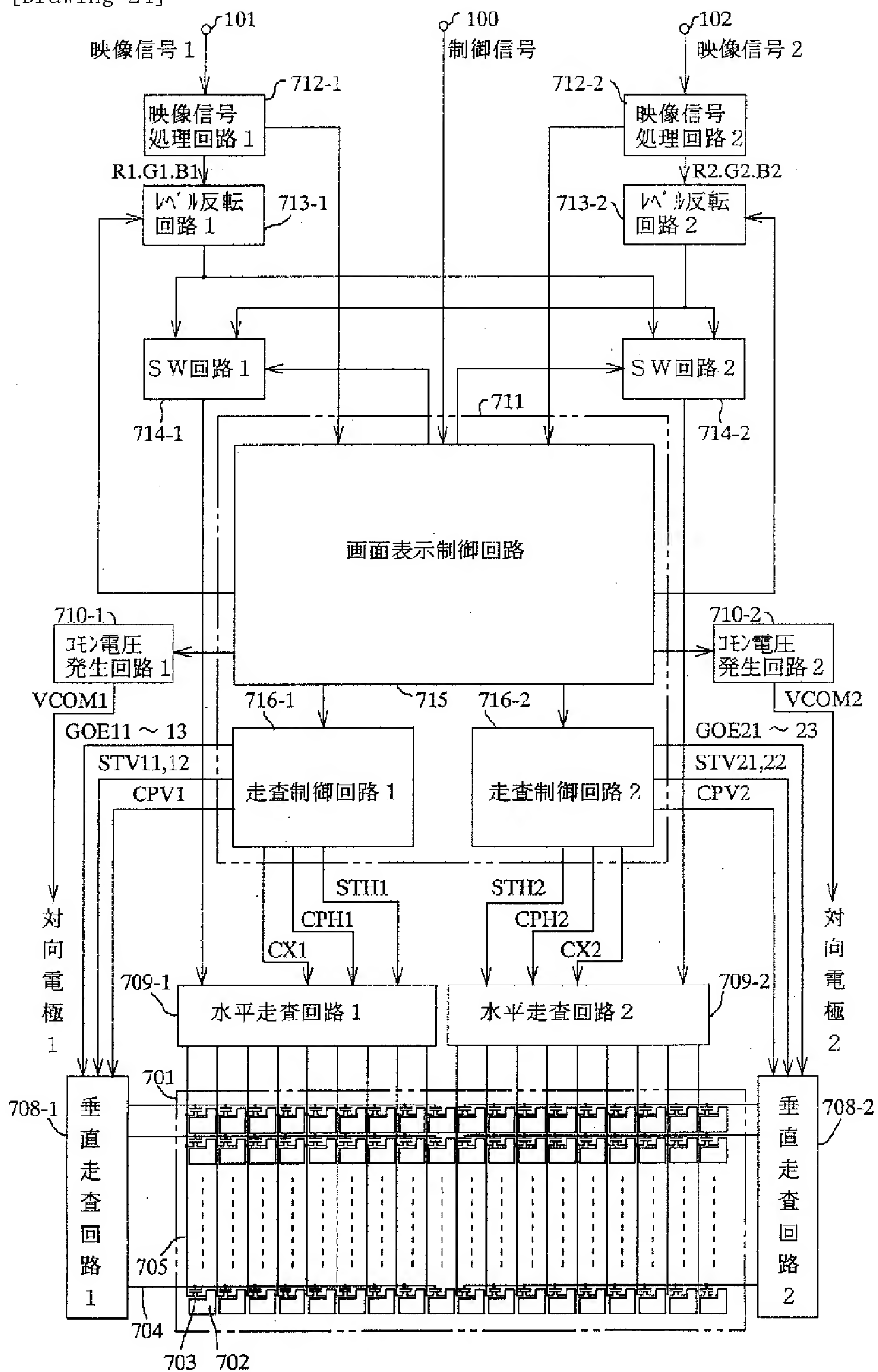
表示制御信号 2

基準信号 2'

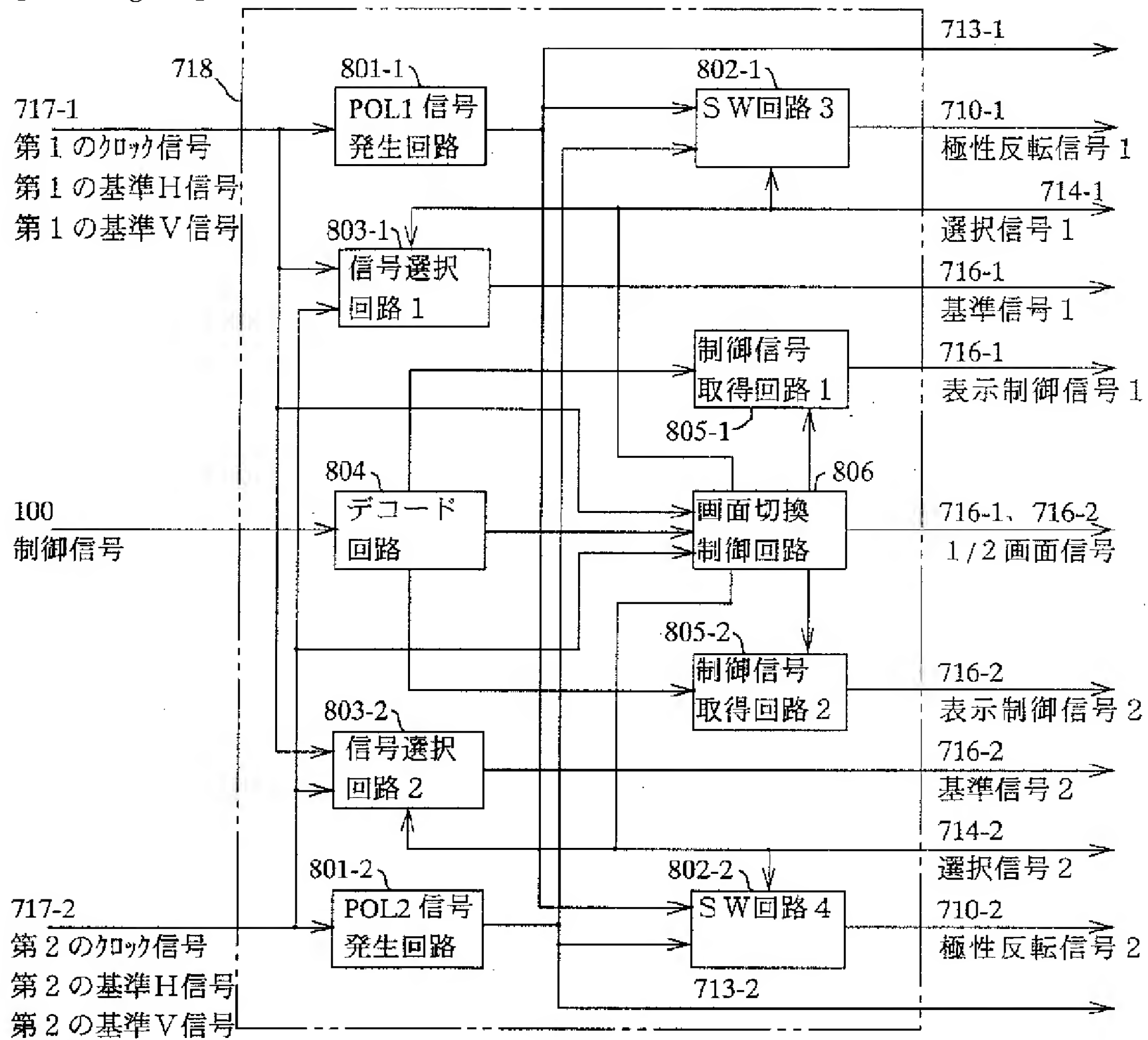
表示制御信号 2'



[Drawing 24]



[Drawing 25]



[Translation done.]

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 V
	6 2 2		6 2 2 K
	6 6 0		6 6 0 Z
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 G 3/36		G 0 9 G 3/36	
審査請求 未請求 請求項の数 9 書面 (全 34 頁) 最終頁に続く			

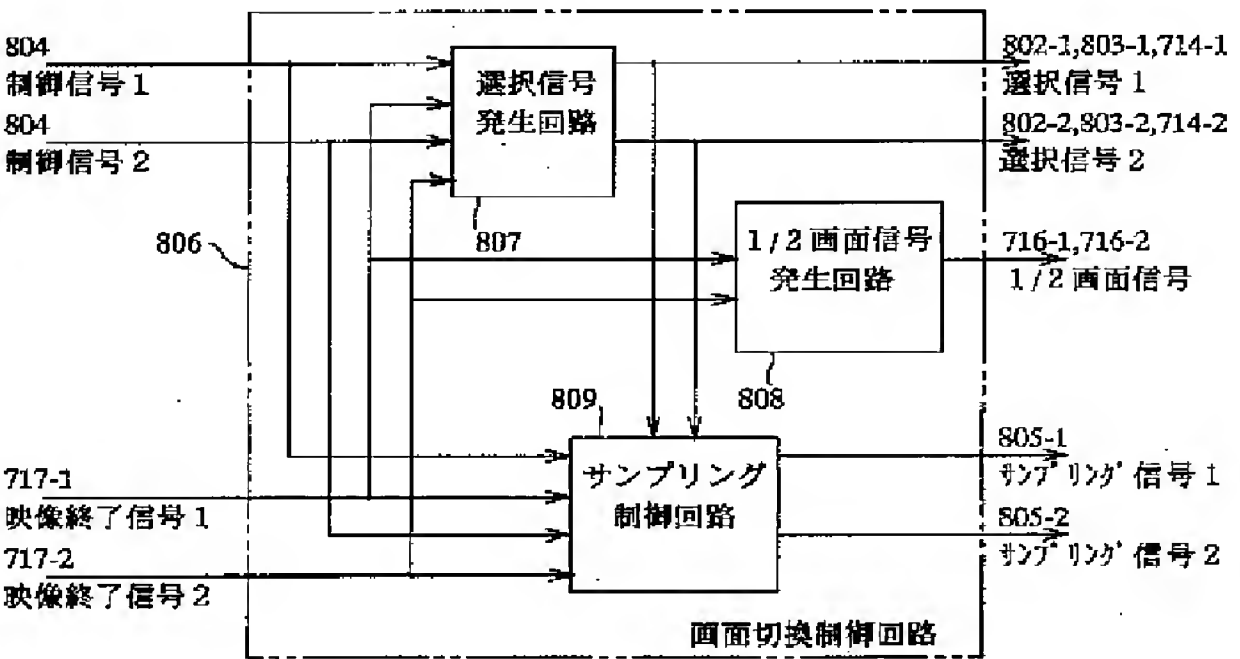
(21)出願番号	特願2000－77236(P2000－77236)	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成12年 2 月14日(2000. 2. 14)	(72)発明者	穴井 貴実雄 兵庫県姫路市余部区上余部50番地 株式会 社東芝姫路工場内
(31)優先権主張番号	特願平11－34488	(74)代理人	100058479 弁理士 鈴江 武彦 (外 6 名)
(32)優先日	平成11年 2 月12日(1999. 2. 12)		
(33)優先権主張国	日本（J P）		

(54)【発明の名称】 画像表示装置

(57)【要約】 (修正有)

【課題】同期していない2系統の映像信号による2画面表示を行う画像表示装置において、画面切り換え時に発生する画像の欠落を防止する。

【解決手段】表示パネルの左右の画像を表示するための制御を行う第1、第2の走査制御手段と、第1、第2の信号選択手段と、デコード手段と、第1、第2の制御信号取得手段と、選択信号発生手段と、サンプリング制御手段と、1／2画面信号発生手段を少なくとも備え、第1、第2の選択信号を駆動走査が終了した後に新たな値に更新することにより、駆動走査を、更新直後から新たな基準信号が供給されるまでの期間は一時的に停止する。また、第1、第2の走査制御手段にそれぞれ供給される第1、第2の異なる基準信号から同一の基準信号に切り換える場合には、表示制御信号のデータ更新を、サンプリング制御手段に供給される制御信号が変わるタイミングから1画面表示を行わない方の映像終了信号が供給されるまでの間は禁止する。



【特許請求の範囲】

【請求項1】複数の走査信号線と複数のデータ信号線の交点にマトリクス状に配置された複数の表示画素とよりなり、電氣的に独立のN個（ $N \geq 2$ ）に分割された表示領域を有する表示パネルと、

前記走査信号線に接続される垂直走査回路と、

前記N分割された表示領域に配線されたデータ信号線にそれぞれ接続されるN個の水平走査回路と、

互いに非同期、または、その仕様の異なるN個の映像信号から前記N個の表示領域に表示するN個の表示信号を得るN個の映像信号処理手段と、

前記N個の映像信号からそれぞれ得られた同期信号と、外部より入力された表示制御信号とに基づいて、

前記垂直走査回路と前記N個の水平走査回路へ供給する垂直走査クロック信号、垂直走査開始信号、N個の水平走査クロック信号、及び、N個の水平走査開始信号等のN個の駆動信号を発生する駆動信号発生手段と、を具備することを特徴とする平面表示装置。

【請求項2】前記駆動信号発生手段は、選択手段を具備し、

この選択手段は、

前記表示制御信号に基づいて、

前記N個の映像信号、または、前記N個の表示信号を前記N個の水平走査回路に振り分けてそれぞれ出力するか、

または、前記N個の映像信号、または、前記N個の表示信号のうち1個の映像信号、または、1個の表示信号を前記N個の水平走査回路へ全て供給することを特徴とする請求項1記載の平面表示装置。

【請求項3】複数本の第1走査信号線と、前記第1走査信号線と略直交する複数本の第1データ信号線と、各前記第1走査信号線及びデータ信号線との交点近傍にスイッチ素子を介して配置される第1画素電極とから構成される第1表示領域と、

前記第1走査信号線に沿って配置される複数本の第2走査信号線と、前記第2走査信号線と略直交する複数本の第2データ信号線と、各前記第2走査信号線及びデータ信号線との交点近傍にスイッチ素子を介して配置される第2画素電極とから構成される第2表示領域と、を備えた表示パネルと、

前記第1及び第2走査信号線に接続される第1及び第2垂直走査回路と、

前記第1及び第2データ信号線に接続される第1及び第2映像信号処理回路と、

駆動信号発生手段と、を具備し、

前記駆動信号発生手段は、

外部から入力される第1入力映像信号に基づいて、前記第1垂直走査回路に第1垂直制御信号を出力すると共に前記第1映像信号処理回路に第1映像信号及び第1水平制御信号を出力する第1駆動回路部と、

外部から入力され前記第1入力映像信号と非同期又は仕様の異なる第2入力映像信号に基づいて、前記第2垂直走査回路に第2垂直制御信号を出力すると共に前記第2映像信号処理回路に第2映像信号及び第2水平制御信号を出力する第2駆動回路部とを含むことを特徴とする画像表示装置。

【請求項4】前記駆動信号発生手段は、

前記第2垂直走査回路に第2垂直制御信号を出力すると共に前記第2映像信号処理回路に第2映像信号及び第2水平制御信号を出力するか、

または、前記第2垂直走査回路に第1垂直制御信号を出力すると共に前記第1映像信号処理回路に第1映像信号及び第1水平制御信号を出力するか、を選択する選択手段を備えたことを特徴とする請求項3記載の画像表示装置。

【請求項5】前記第1及び第2垂直制御信号は、

垂直走査クロック信号及び垂直走査開始信号を含み、

前記第1及び第2水平制御信号は、水平走査クロック信号及び水平走査開始信号を含むことを特徴とする請求項3記載の画像表示装置。

【請求項6】前記表示パネルは、複数本の第3走査信号線と、前記第3走査信号線と略直交する複数本の第3データ信号線と、各前記第3走査信号線及びデータ信号線との交点近傍にスイッチ素子を介して配置される第3画素電極とから構成される第3表示領域を含み、前記第3走査信号線に接続される第3垂直走査回路と、

前記第3データ信号線に接続される第3映像信号処理回路と、を具備し、

前記駆動信号発生手段は、

外部から入力される第3入力映像信号に基づいて、前記第3垂直走査回路に第3垂直制御信号を出力すると共に前記第3映像信号処理回路に第3映像信号及び第3水平制御信号を出力する第3駆動回路部を含むことを特徴とする請求項3記載の画像表示装置。

【請求項7】表示パネルのほぼ中央で2分割された複数の走査信号線と複数のデータ信号線の交点にマトリクス状に配置された複数の表示画素と、前記2分割された複数の走査信号線にそれぞれ接続される垂直走査回路と、表示画素複数のデータ信号線に表示信号を供給する水平走査回路とを有し、

前記垂直走査回路へ垂直走査クロック信号と垂直走査開始信号とを供給し、また、前記水平走査回路へ水平走査クロック信号と水平走査開始信号と映像信号とを供給することにより、前記表示パネルの左右に同期していない2系統の映像信号から得られる画像を表示する平面表示装置において、

表示パネルの左側の画素に接続される第1の垂直走査回路と第1の水平走査回路とに供給する垂直走査クロック信号、垂直走査開始信号、水平走査クロック信号、及び水平走査開始信号等の第1の駆動信号を発生する第1の

走査制御手段と、表示パネルの右側の画素に接続される第2の垂直走査回路と第2の水平走査回路に供給する垂直走査クロック信号、垂直走査開始信号、水平走査クロック信号、及び水平走査開始信号等の第2の駆動信号を発生する第2の走査制御手段と、第1の選択信号に基づき、前記第1の水平走査回路に供給する第1の表示信号を第1の映像信号と第2の映像信号のいずれかから得る第1の映像処理選択出力手段と、第2の選択信号に基づき、前記第2の水平走査回路に供給する第2の表示信号を第1の映像信号と第2の映像信号のいずれかから得る第2の映像処理選択出力手段と、第1の映像処理選択出力手段から供給される第1の映像信号の同期信号に同期した第1の基準信号である第1のクロック信号、映像開始タイミングを示す第1の映像開始信号及び映像終了タイミングを示す第1の映像終了信号を発生する第1の基準信号発生手段と、第2の映像処理選択出力手段から供給される第2の映像信号の同期信号に同期した第2の基準信号である第2のクロック信号、映像開始タイミングを示す第2の映像開始信号及び映像終了タイミングを示す第2の映像終了信号を発生する第2の基準信号発生手段と、前記第1の映像開始信号と第2の映像開始信号、第1のクロック信号と第2のクロック信号のいずれかを第1の選択信号に基づいて選択し、第1の走査制御手段に第1の基準信号として供給する第1の信号選択手段と前記第1の映像開始信号と第2の映像開始信号、第1のクロック信号と第2のクロック信号のいずれかを第2の選択信号に基づいて選択し、第2の走査制御手段に第2の基準信号として供給する第2の信号選択手段と第1の走査制御手段に供給する第1の表示制御信号を第1のサンプリング信号に基づいて得る第1の制御信号取得手段と第2の走査制御手段に供給する第2の表示制御信号を第2のサンプリング信号に基づいて得る第2の制御信号取得手段と外部より入力された表示制御信号から第1の制御信号取得手段、第2の制御信号取得手段及び画面切換制御手段に供給する信号を得るデコード手段と前記デコード手段から供給された信号に基づき、前記第1、第2の選択信号を発生する選択信号発生手段、前記第1、第2の制御信号取得手段に供給する第1、第2のサンプリング信号を発生するサンプリング制御手段、第1、第2の走査制御手段に供給する1画面表示期間を示す1/2画面信号を発生する1/2画面信号発生手段からなる画面切換制御手段を具備し、前記1/2画面信号が2画面表示期間を示す場合には、第1の走査制御手段、第2の走査制御手段は表示パネルの左側の画素と右側の画素に同期していない2系統の映像信号から得られる画像を表示するように、それぞれ第1、第2の駆動信号を発生し、前記1/2画面信号が1画面表示期間を示す場合には、第1の走査制御手段、第2の走査制御手段は第1、第2の水平走査回路にそれぞれ供給する水平走査クロック信号の周波数を2画面表示時の約1/2の周波数と

し、更に、第1の水平走査回路、第2の水平走査回路にそれぞれ供給する水平走査開始信号の位相を、第1の水平走査回路、第2の水平走査回路においてそれぞれ走査された映像を合わせると1画面の画像となるような位相で発生することを特徴とする画像表示装置。

【請求項8】第1の走査制御手段、第2の走査制御手段にそれぞれ供給される第1、第2の基準信号を、同一或いは異なる基準信号から選択し供給することにより表示パネルに単一或いは複数の画像からなる表示を行う画像表示装置において、前記選択信号発生手段は、第1、第2の選択信号をそれぞれ第1、第2の走査制御手段による駆動走査が終了した後に新たな値に更新することにより、第1、第2の走査制御手段による駆動走査を、更新直後から新たな基準信号が供給されるまでの期間は一時的に停止することを特徴とする請求項7に記載の画像表示装置。

【請求項9】第1、第2の走査制御手段にそれぞれ供給される第1、第2の基準信号を異なる基準信号から同一の基準信号に切り換えることにより、2画面表示から単一の画像からなる1画面表示への画面切り換え機能を有する画像表示装置において、前記単一画像への切り換え制御は、第1、第2の制御y信号取得手段とサンプリング制御手段により、サンプリング制御信号取得手段から2画面表示と1画面表示のいずれも表示するよう制御される走査制御手段に供給する表示制御信号のデータ更新を、サンプリング制御手段に供給される制御信号が変わるタイミングから1画面表示を行わない方の映像終了信号が供給されるまでの間は、禁止することを特徴とする請求項7に記載の画像表示装置。

【発明の詳細な説明】

【発明の属する技術分野】この発明は、縦横比X：Yの表示画面に入力される映像信号を順次サンプリングして画像表示を行う画像表示装置に関する。

【従来の技術】液晶表示装置に代表される画像表示装置は、薄型、軽量、低消費電力の特徴を生かして、パーソナルコンピュータやワードプロセッサ等の表示装置として、テレビジョンあるいは、カー・ナビゲーション・システムの表示装置として、さらに投射型の表示装置として各種分野で利用されている、中でも、各表示画素にスイッチ素子が電氣的に接続されてなるアクティブマトリクス型液晶表示装置は、隣接画素間でクロストークのない良好な表示画素を実現できることから、盛んに研究・開発が行われている。特に、近年では、アスペクト比3：4の表示画面から、視覚的に大画面が認識されるアスペクト比9：16等の水平走査方向に延びた表示画面へと移行しつつある。ところで、アスペクト比9：16の表示画面を備えた液晶表示装置に、アスペクト比3：4の画像情報を持つテレビジョン信号を表示させる場合、従来ではフレームメモリ等を用いた画像処理技術により、予め画像処理された映像信号に基づいて順次サン

プリングし表示を行っていた。1. 従来の画像表示装置の構成図9は、従来の画像表示装置の概略構成図である。

(入力処理回路1) 入力処理回路1は、例えば図10に示すように、復調回路103、マトリクス回路104、A/D(アナログ/デジタル)変換回路105から構成されている。入力端子101、102を介して入力された映像信号を、輝度信号Y1、Y2と色信号C1、C2と同期信号S1、S2とに復調回路103で復調し、マトリクス回路104で輝度信号と色信号から3原色信号R1、G1、B1とR2、G2、B2に復調される。そして、同期信号S1、S2と、A/D変換回路105で前記3原色信号がデジタルデータに変換されてなる映像信号1と映像信号2とが、図9のフレーム同期回路2に供給される。

(フレーム同期回路2) フレーム同期回路2は、図11に示すように、制御回路201とフレームメモリ202から構成されている。制御回路201に供給される同期信号S1、S2に基づいて前記映像信号2のフレームメモリ202への書き込みと読み出しの制御を行い、フレーム同期のとれた映像信号1と映像信号2を図6のデータ変換回路3へ供給する。

(データ変換回路3) データ変換回路3は、前記映像信号1と映像信号2のデータを液晶表示装置7の画面表示に適するデータに変換し画像合成回路5に出力する。

(残領域信号発生回路4) 残領域信号発生回路4は、液晶表示装置7に表示する映像の有効表示期間以外の期間内における信号である残領域信号を発生する回路である。この残領域信号とデータ変換回路3を介して入力された映像信号との画像の合成が画像合成回路5により行われ、合成された画像合成信号が出力回路6に出力される。

(出力回路6) 出力回路6は、D/A(デジタル/アナログ)変換処理等を行い、液晶表示回路7に前記画像合成信号を供給する。

(平面表示装置7) 平面表示装置7は、図12に示すように、液晶パネル701と液晶パネル701に電氣的に接続され映像信号をサンプリングすることにより所望の電圧を液晶パネル701の信号線705に供給する水平走査回路709及び液晶パネル701の走査線704に走査パルスを供給する垂直走査回路708、駆動信号711からの極性反転信号(POL)の制御により各水平走査期間及び各垂直走査期間一氣に基準電圧に対してレベル反転されるコモン電圧(VCOM)を発生し対向電極706に供給するコモン電圧発生回路710、駆動信号発生回路711、液晶パネル701を適切に駆動させるためにガンマ補正等の映像処理を行う映像信号処理回路712、及びレベル反転回路713から構成される。

(レベル反転回路713) レベル反転回路713は、駆動信号発生回路711からの極性反転信号(POL)の

制御により、映像信号処理回路712から供給される映像信号をコモン電圧(VCOM)のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して水平走査回路709に出力する。これにより、液晶印加電圧の極性が周期的に反転される。

(液晶パネル701) 液晶パネル701は図示しないが、アレイ基板と対向基板とが、それぞれ配向膜を介してツイスト・ネマチック型の液晶層を保持し、シール材によって互いに保持されている。また、各基板外表面には、それぞれ偏光板が、その偏向軸が直交するように配置されている。アレイ基板は、複数のデータ信号線705と複数の走査信号線704とが略直交するように配置されている。各データ信号線705と各走査信号線704との交差近傍には、それぞれ活性層に非結晶シリコン薄膜が用いられてなる逆スタガ型の薄膜トランジスタ

(以下、TFTと略称する。)からなるスイッチング素子703を介してI.T.O(Indium Tin Oxide)からなる画素電極702が配置されている。また、アレイ基板は、図示しないが走査信号線704に対して略平行に、しかも画素電極702と重複する領域を有して配置される補助容量線Cj(j=1, 2, …)を備え、画素電極と補助容量線Cjとによって補助容量(Cs)が形成されている。対向基板は図示しないが、アレイ基板に形成されるTFTからなるスイッチング素子703、データ信号線705と画素電極702との間隙、走査信号線704と画素電極702との間隙のそれぞれを遮光するためのマトリクス状の遮光層、カラー表示を実現するため遮光層間に配置される赤(R)、緑(G)、青(B)の3原色で構成されるカラーフィルタ層を備え、さらに、I.T.O.からなる対向電極706が配置されている。各スイッチング素子703を構成するTFTは走査信号線704に接続されるゲート電極、画素電極702に接続されるドレイン電極、及びデータ信号線に接一統されるソース電極を含む。そして、この走査信号線704を介して供給される走査パルスにより、ソース・ドレイン電極間が導通し、データ信号線に応じて設定されたデータ信号線705の電位を画素電極に印加する。液晶パネル701の有効表示領域は、画素電極702、対向電極706、並びにこれら画素電極702及び対向電極間に配置される液晶層から構成される複数の表示画素からなり、各表示画素の光透過率はこれら画素電極702と対向電極706間の電位差により制御される。

(駆動信号発生回路711) このようにして、上述した液晶パネル701の駆動信号発生回路711は、水平走査回路709に水平走査クロック信号(CPH)、水平走査開始信号(STH)及び表示画素への書き込み信号(CX)を供給すると共に、垂直走査回路704に垂直走査クロック信号(CPV)、垂直走査開始信号(STV)及び垂直走査禁止信号(GOE)のそれぞれを出力

する。

2. データ変換回路3の構成

データ変換回路3の一構成例を図13に、液晶表示装置7の表示形態を図14に示す。図14を用いて図13の構成を詳細に説明する。データ変換回路3は、1Hメモリー回路301、302、310と書き込み制御回路303、311と読み出し制御回路304、312と選択回路305、306、307、308及びデジタルフィルタ309から構成される。液晶パネル701の表示領域を図14(a)に示すようなアスペクト比9:16の表示形態で表示する場合について説明する。選択回路307は選択回路306を介して映像信号1と映像信号2のいずれか一方を画像合成回路5に供給する。このようにして供給された映像信号は水平走査期間(1H)の80%の期間を有効表示期間としてアスペクト比9:16の画面に表示されるので、図14(a)の表示形態を得る。液晶パネル701の表示領域を図14(b)に示すようにアスペクト比9:8の領域A、領域Bとに分割し、それぞれの領域に映像信号を表示する場合について説明する。書き込み制御回路303は入力される同期信号S1、クロック信号に基づき、フレーム同期回路2から供給されるフレーム同期した2つの映像信号1、映像信号2をそれぞれ1Hメモリー回路301、302にデータ数を1/2に間引いて書き込むよう制御する。読み出し制御回路304は入力される同期信号S1、クロック信号に基づき1/2H期間に書き込まれた全データを読み出すよう制御される、選択回路307は前記1Hメモリー回路301、302から読み出される映像信号を選択回路305を介して選択出力することにより時分割多重された映像信号を画像合成回路5に供給する、このようにして供給された映像信号は水平走査期間(1H)の80%の期間を有効表示期間としてアスペクト比9:16の画面に表示されるので、図14(b)の領域Aと領域Bのそれぞれに映像信号1と映像信号2或いは映像信号2と映像信号1を表示することができる。次に、液晶パネル701の表示領域を図14(c)、(d)に示すようにアスペクト比9:12(3:4)の第1表示領域Aとアスペクト比9:4の第2表示領域Bに分割し、領域Aに映像信号を領域Bに残領域信号を表示する場合について説明する。選択回路308は入力される映像信号1と映像信号2のいずれか一方をデジタルフィルタ309に供給する。デジタルフィルタ309は選択回路308を介して供給される映像信号の4個のデータから3個のデータを、書き込み制御回路311から供給される補間演算制御信号と補間クロック信号、クロック信号に基づき補間演算処理することにより求め、1Hメモリー回路310に供給する。書き込み制御回路311はまた、デジタルフィルタ309の出力信号を1Hメモリー回路310に補間クロックで書き込むよう制御する。読み出し制御回路312は入力される同期信号S

1、クロック信号に基づき補間クロックで書き込まれた全データをクロックで読み出すよう制御される。選択回路307は前記1Hメモリー回路310から供給される映像信号を画像合成回路5に供給する。画像合成回路5は映像信号の水平走査期間(1H)の80%の期間を有効表示期間とし、有効表示期間 $\times 3/4$ の期間に時間軸圧縮処理されたデータ変換回路3から供給される映像信号と、残りの有効表示期間 $\times 1/4$ の期間に残領域信号発生回路4から供給される残領域信号とを合成し出力処理回路6に出力する。アスペクト比9:16の画面には有効表示期間の映像が表示されるので、図14(c)、

(d)の領域Aと領域Bのそれぞれに前記映像信号と残領域信号を表示することができる。

3. 2画面表示の説明

図15は、2画面表示における表示形態を示す図である。図15(a)は、図11(b)の2画面表示における表示形態を示す図であり、表示される画像は図に示すように丸が縦長の楕円表示になるように表示される。図15(b)は、図13の書き込み制御回路303を同期信号S1、クロック信号に基づき、フレーム同期回路2から供給されるフレーム同期した2つの映像信号1・映像信号2をそれぞれ1Hメモリー回路301、302にデータ数を1/2に間引いて書き込むよう制御し、読み出し制御回路304を同期信号S1、クロック信号に基づき1/2H期間に書き込まれた全データのうち2/3を読み出すよう制御する方法か、あるいは、書き込み制御回路303を同期信号S1、クロック信号に基づき、フレーム同期回路2から供給されるフレーム同期した2つの映像信号1、映像信号2をそれぞれ1Hメモリー回路301、302にデータ数を2/3に間引いて書き込むよう制御し、読み出し制御回路304同期信号S1、クロック信号に基づき1/2H期間に書き込まれた全データを読み出すよう制御する方法のいずれかを用いる方法で行われ、表示されるべき画像の水平方向に対して2/3が表示される。例えば、アスペクト比3:4の映像の両側がそれぞれ2/3ずつカットされた、アスペクト比9:8の画面が表示される。この表示では図に示すように円が円になる。図15(c)は、図13の書き込み制御回路303を同期信号S1、クロック信号に基づき、フレーム同期回路2から供給されるフレーム同期した2つの映像信号1、映像信号2をそれぞれ1Hメモリー回路301、302にデータ数を1/2に間引いて書き込むよう制御し、読み出し制御回路304を同期信号S1、クロック信号に基づき $3/2$ H期間に書き込まれた全データを読み出すよう制御し、平面表示装置7の駆動信号発生回路711を介して垂直走査回路708を間一引き走査することにより行われ、図に示すように上下が残領域である表示となる。

【発明が解決しようとする課題】このように、従来ではアスペクト比9:16等の表示画面に、アスペクト比の

異なる画像情報を持つ映像信号を、アスペクト比9:12なる領域やアスペクト比9:4なる領域、アスペクト比9:8なる表示画面の左右の領域、さらに任意のアスペクト比の領域に表示するためには、データ変換回路3が複雑になり、特に書き込み制御回路311の補間演算制御信号と補間クロック信号の発生回路とデジタルフィルタ309の回路構成が任意のアスペクト比に対応するには回路規模の増大なしには安価に実現できなかった。また、表示パネルの左右に表示するいずれか一方の映像信号を主信号として、他方の映像信号のメモリからの読み出しを制御することでフィールド或いはフレーム同期をとるため、主信号が不安定な信号である場合には画像が安定して表示されないという課題があった。特に、カー・ナビゲーション・システムでTV放送を受信する際には、TV信号が弱電界となる場合があり、この場合TV信号を主信号にすると水平方向への画像の揺らぎや垂直信号が検出されないことによる画面の凍結、垂直信号の誤検出による画像の垂直方向の揺れ等が生じるため、車内に設置しているカー・ナビゲーション・システムで発生される地図情報等の信号を常に主信号に用いる必要があった。このため、車外から送信される信号は1系統しか表示することができなかった。この発明は、同期していない2系統の映像信号による2画面表示を行う画像表示装置において、画面切り換え時に発生する画像の欠落を防止することを目的としている。

【課題を解決するための手段】第1の発明は、複数の走査信号線と複数のデータ信号線の交点にマトリクス状に配置された複数の表示画素とよりなり、電氣的に独立のN個($N \geq 2$)に分割された表示領域を有する表示パネルと、前記走査信号線に接続される垂直走査回路と、前記N分割された表示領域に配線されたデータ信号線にそれぞれ接続されるN個の水平走査回路と、互いに非同期、または、その仕様の異なるN個の映像信号から前記N個の表示領域に表示するN個の表示信号を得るN個の映像信号処理手段と、前記N個の映像信号からそれぞれ得られた同期信号と、外部より入力された表示制御信号とに基づいて、前記垂直走査回路と前記N個の水平走査回路へ供給する垂直走査クロック信号、垂直走査開始信号、N個の水平走査クロック信号、及び、N個の水平走査開始信号等のN個の駆動信号を発生する駆動信号発生手段と、を具備することを特徴とする平面表示装置である。第2の発明は、複数本の第1走査信号線と、前記第1走査信号線と略直交する複数本の第1データ信号線と、各前記第1走査信号線及びデータ信号線との交点近傍にスイッチ素子を介して配置される第1画素電極とから構成される第1表示領域と、前記第1走査信号線に沿って配置される複数本の第2走査信号線と、前記第2走査信号線と略直交する複数本の第2データ信号線と、各前記第2走査信号線及びデータ信号線との交点近傍にスイッチ素子を介して配置される第2画素電極とから構

成される第2表示領域と、を備えた表示パネルと、前記第1及び第2走査信号線に接続される第1及び第2垂直走査回路と、前記第1及び第2データ信号線に接続される第1及び第2映像信号処理回路と、駆動信号発生手段と、を具備し、前記駆動信号発生手段は、外部から入力される第1入力映像信号に基づいて、前記第1垂直走査回路に第1垂直制御信号を出力すると共に前記第1映像信号処理回路に第1映像信号及び第1水平制御信号を出力する第1駆動回路部と、外部から入力され前記第1入力映像信号と非同期又は仕様の異なる第2入力映像信号に基づいて、前記第2垂直走査回路に第2垂直制御信号を出力すると共に前記第2映像信号処理回路に第2映像信号及び第2水平制御信号を出力する第2駆動回路部とを含むことを特徴とする画像表示装置である。また、この発明は、表示パネルのほぼ中央で2分割された複数の走査信号線と複数のデータ信号線の交点にマトリクス状に配置された複数の表示画素と、前記2分割された複数の走査信号線にそれぞれ接続される垂直走査回路と、表示画素複数のデータ信号線に表示信号を供給する水平走査回路とを有し、前記垂直走査回路へ垂直走査クロック信号と垂直走査開始信号とを供給し、また、前記水平走査回路へ水平走査クロック信号と水平走査開始信号と映像信号とを供給することにより、前記表示パネルの左右に同期していない2系統の映像信号から得られる画像を表示する平面表示装置において、表示パネルの左側の画素に接続される第1の垂直走査回路と第1の水平走査回路とに供給する垂直走査クロック信号、垂直走査開始信号、水平走査クロック信号、及び水平走査開始信号等の第1の駆動信号を発生する第1の走査制御手段と、表示パネルの右側の画素に接続される第2の垂直走査回路と第2の水平走査回路に供給する垂直走査クロック信号、垂直走査開始信号、水平走査クロック信号、及び水平走査開始信号等の第2の駆動信号を発生する第2の走査制御手段と、第1の選択信号に基づき、前記第1の水平走査回路に供給する第1の表示信号を第1の映像信号と第2の映像信号のいずれかから得る第1の映像処理選択出力手段と、第2の選択信号に基づき、前記第2の水平走査回路に供給する第2の表示信号を第1の映像信号と第2の映像信号のいずれかから得る第2の映像処理選択出力手段と、第1の映像処理選択出力手段から供給される第1の映像信号の同期信号に同期した第1の基準信号である第1のクロック信号、映像開始タイミングを示す第1の映像開始信号及び映像終了タイミングを示す第1の映像終了信号を発生する第1の基準信号発生手段と、第2の映像処理選択出力手段から供給される第2の映像信号の同期信号に同期した第2の基準信号である第2のクロック信号、映像開始タイミングを示す第2の映像開始信号及び映像終了タイミングを示す第2の映像終了信号を発生する第2の基準信号発生手段と、前記第1の映像開始信号と第2の映像開始信号、第1のクロック信号と

第2のクロック信号のいずれかを第1の選択信号に基づいて選択し、第1の走査制御手段に第1の基準信号として供給する第1の信号選択手段と前記第1の映像開始信号と第2の映像開始信号、第1のクロック信号と第2のクロック信号のいずれかを第2の選択信号に基づいて選択し、第2の走査制御手段に第2の基準信号として供給する第2の信号選択手段と第1の走査制御手段に供給する第1の表示制御信号を第1のサンプリング信号に基づいて得る第1の制御信号取得手段と第2の走査制御手段に供給する第2の表示制御信号を第2のサンプリング信号に基づいて得る第2の制御信号取得手段と外部より入力された表示制御信号から第1の制御信号取得手段、第2の制御信号取得手段及び画面切換制御手段に供給する信号を得るデコード手段と前記デコード手段から供給された信号に基づき、前記第1、第2の選択信号を発生する選択信号発生手段、前記第1、第2の制御信号取得手段に供給する第1、第2のサンプリング信号を発生するサンプリング制御手段、第1、第2の走査制御手段に供給する1画面表示期間を示す1／2画面信号を発生する1／2画面信号発生手段からなる画面切換制御手段からなる。さらに、この発明は、選択信号発生手段が第1、第2の選択信号をそれぞれ第1、第2の走査制御手段による駆動走査が終了した後に新たな値に更新することにより、第1、第2の走査制御手段による駆動走査を、更新直後から新たな基準信号が供給されるまでの期間は一時的に停止する機能を有する画像表示装置にある。また、この発明の第1、第2の制御信号取得手段及びサンプリング制御手段による2画面表示から単一の画像からなる1画面表示への画面切り換え制御は、サンプリング制御信号取得手段から2画面表示と1画面表示のいずれも表示するよう制御される走査制御手段に供給する表示制御信号のデータ更新を、サンプリング制御手段に供給される制御信号が変わるタイミングから1画面表示を行わない方の映像終了信号が供給されるまでの間は、禁止することとを特徴とする画像表示装置にある。

【発明の実施の形態】以下、本発明の一実施例の画像表示装置について、図面を参照して説明する。

1. 画像表示装置の全体構成の第1の実施例区1は、本発明に係わる画像表示装置の第1の実施例を示すブロック図である。

(液晶パネル701の構造) 液晶パネル701は、アレイ基板と対向基板とが、それぞれ配向膜を介してツイスト・ネマチック型の液晶層を保持し、シアル材によって互いに保持されている。また、各基板外表面には、それぞれ偏光板が、その偏向軸が直交するように配置されている。アレイ基板は、複数のデータ信号線705と複数の走査信号線704とが略直交するように配置されている。各データ信号線705と各走査信号線704との交点近傍には、それぞれ活性層に非結晶シリコン薄膜が用いられてなる逆スタガ型の薄膜トランジスタ(以下、T

FTと略称する。)からなるスイッチング素子703を介してI.T.O(Indium Tin Oxide)からなる画素電極702が配置されている。アレイ基板は、走査信号線704に対して略平行に、しかも画素電極702と重複する領域を有して配置される補助容量線Cj(j=1, 2, ……)を備え、画素電極と補助容量線Cjとによって補助容量(Cs)が形成されている。対向基板は、アレイ基板に形成されるTFTからなるスイッチング素子703、データ信号線705と画素電極702との間隙、走査信号線704と画素電極702との間隙のそれぞれを遮光するためのマトリクス状の遮光層、カラー表示を実現するため遮光層間に配置される赤(R)、緑(G)、青(B)の3原色で構成されるカラーフィルタ層を備え、さらに、I.T.O.からなる対向電極706が配置されている。各スイッチング素子703を構成するTFTは走査信号線704に接続されるゲート電極、画素電極702に接続されるドレイン電極、及びデータ信号線に接続されるソース電極を含む。そして、この走査信号線704を介して供給される走査信号により、ソース・ドレイン電極間が導通し、データ信号線に応じて設定されたデータ信号線705の電位を画素電極に印加する。液晶パネル701の有効表示領域は、画素電極702、対向電極706、並びにこれら画素電極702及び対向電極間に配置される液晶層から構成される複数の表示画素からなり、各表示画素の光透過率はこれら画素電極702と対向電極706間の電位差により制御される。

(第1映像信号処理回路712-1) 第1映像信号処理回路712-1は、端子101を介して入力された映像信号を、3原色信号R1, G1, B1に復調した後、ガンマ処理を行って第1レベル反転回路713-1に供給すると共に、映像信号1の同期信号を駆動信号発生回路711に供給する。

(第1レベル反転回路713-1) 第1レベル反転回路713-1は、駆動信号発生回路711から供給される極性反転信号1(POL1)の制御により、第1映像信号処理回路712-1から供給される映像信号をコモン電圧1(VCOM1)のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して第1SW回路714-1と第2SW回路714-2に供給する。

(第2映像信号処理回路712-2) 第2映像信号処理回路712-2は、端子102を介して入力された映像信号を、3原色信号R2, G2, B2に復調した後、ガンマ処理を行って第2レベル反転回路713-2に供給すると共に、映像信号1の同期信号を駆動信号発生回路711に供給する。

(第2レベル反転回路713-2) 第2レベル反転回路713-2は、駆動信号発生回路711から供給される極性反転信号2(POL2)の制御により、第2映像信号処理回路712-2から供給される映像信号をコモン

電圧2 (VCOM2) のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して第1 SW回路714-1にと第2 SW回路714-2に供給する。

(第1 SW回路714-1、第2 SW回路714-2) 第1 SW回路714-1と第2 SW回路714-2は、第1レベル反転回路713-1と第2レベル反転回路713-2から供給される映像信号のいずれかを、駆動信号発生回路711から供給される制御信号により選択し、それぞれ第1水平走査回路709-1と第2水平走査回路709-2に出力する。

(第1 コモン電圧発生回路710-1) 第1 コモン電圧発生回路710-1は、駆動信号発生回路711から供給される極性反転信号1 (POL1) の制御により各水平走査期間及び垂直走査期間毎に基準電位に対してレベル反転されるコモン電圧1 (VCOM1) を発生し、第1対向電極に供給する。

(第2 コモン電圧発生回路710-2) 第2 コモン電圧発生回路710-2は、駆動信号発生回路711から供給される極性反転信号2 (POL2) の制御により各水平走査期間及び垂直走査期間毎に基準電位に対してレベル反転されるコモン電圧2 (VCOM2) を発生し、第2対向電極に供給する。

(駆動信号発生回路711) 駆動信号発生回路711は、画面表示制御回路715、第1走査制御回路716-1及び第2走査制御回路716-2から構成される。

(画面表示制御回路715) 画面表示制御回路715は、第1映像信号処理回路712-1から供給される同期信号1から第1のH基準信号と第1のV基準信号を発生し、第2映像信号処理回路712-2から供給される同期信号2から第2のH基準信号と第2のV基準信号を発生する。そして、端子100から供給される画面表示制御信号に基づいて、同一或いは異なるH基準信号とV基準信号とを選択して第1走査制御回路716-1と第2走査制御回路716-2に供給する。また、画面表示制御回路715は端子100から供給される画面表示制御信号に基づく画面表示信号を第1走査制御回路716-1と第2走査制御回路716-2に供給する。

(第1走査制御回路716-1) 第1走査制御回路716-1は、前記画面表示信号と、H基準信号、V基準信号に基づき、水平走査開始信号 (STH1)、水平走査クロック信号 (CPH1)、表示画素への書き込み信号 (CX1) を発生し、第1水平走査回路709-1に供給すると共に、垂直走査クロック信号 (VCK1)、垂直走査開始信号 (STV1) 及び垂直走査禁止信号 (GOE11~13) を発生し、第1垂直走査回路708-1に供給する。

(第2走査制御回路716-2) 第2走査制御回路716-2は、前記画面表示信号と、H基準信号、V基準信号に基づき、水平走査開始信号 (STH2)、水平走査クロック信号 (CPH2)、表示画素への書き込み信

号 (CX2) を発生し、第2水平走査回路709-2に供給すると共に、垂直走査クロック信号 (VCK2)、垂直走査開始信号 (STV2) 及び垂直走査禁止信号 (GOE21~23) を発生し、第2垂直走査回路708-2に供給する。

(第1垂直走査回路708-1、第2垂直走査回路708-2) 第1垂直走査回路708-1と第2垂直走査回路708-2は、表示パネルの略中央で分割された走査信号線704のそれぞれに走査信号を供給する駆動動作を行う。この第1垂直走査回路708-1と第2垂直走査回路708-2は複数の走査信号線704に対応し、それぞれ垂直走査開始信号1, 2 (STV1, 2) を伝送するために直列に接続される複数のフリップフロップで構成されるシフトレジスタ回路を有する、このシフトレジスタ回路は垂直走査クロック信号1, 2 (CPV1, 2) に応答して垂直走査開始信号1, 2 (STV1, 2) のシフト動作を行い、垂直走査開始信号1, 2 (STV1, 2) をラッチしたフリップフロップに対応する走査信号線704に走査信号を出力する。また、前記走査信号は垂直走査禁止信号 (GOE11~13, GOE21~GOE23) により走査信号線704に出力する期間を制限される。

(第1水平走査回路709-1、第2水平走査回路709-2) 第1水平走査回路709-1と第2水平走査回路709-2は、それぞれレベル反転された映像信号1, 2をデータ信号として順次サンプルホールドし、表示パネルの略中央で分割された走査信号線704による2分割された複数の画素電極702へそれぞれ映像信号を供給するよう、データ信号に応じて複数のデータ信号線705を駆動する駆動動作を行う。この第1水平走査回路709-1と第2水平走査回路709-2はそれぞれ水平走査開始信号1, 2 (STH1, 2) を伝送するために直列に接続される複数のフリップフロップで構成される少なくとも1個のシフトレジスタを有する。各シフトレジスタは水平走査クロック信号1, 2 (CPH1, 2) に応答して水平走査開始信号1, 2 (STH1, 2) のシフト動作を行い、各フリップフロップから水平走査開始信号1, 2 (STH1, 2) を出力するタイミングで映像信号をサンプルホールドし、このフリップフロップに対応するデータ信号線705にデータ信号として供給する。

2. 駆動信号発生回路711の構成

図2は、画面表示制御回路715の構成例を示す図である。図3は、基準信号発生回路717の第1の構成例を示す図であり、図4は基準信号発生回路717の第2の構成例を示す図である。図2, 3, 4を用いて本発明に係わる画面表示制御回路711の動作を詳細に説明する。画面表示制御回路715は、第1基準信号発生回路717-1と第2基準信号発生回路717-2と制御回路718により構成される。また、第1基準信号発生回

路717-1と第2基準信号発生回路717-2はそれぞれ、図3或いは図4の構成からなる。

(基準信号発生回路717の第1の構成例) 図3の基準信号発生回路717は、PLL回路719、V同期検出回路724、Vカウンタ725、H基準信号発生回路726及びV基準信号発生回路727により構成される。PLL回路719はループフィルタ720、電圧制御発振器(VCO)721位相比較回路722、Hカウンタ723で構成される。PLL回路719では、位相比較回路722が映像信号処理回路712から供給される同期信号の水平同期信号とHカウンタ723から供給される基準水平信号との位相差を検出し、この位相差に応じた誤差信号を発生する。ループフィルタ720は、位相比較回路722から得られる誤差信号から高周波成分や雑音を取り除いた信号電圧を発生する。VCO721は、前記信号電圧に基づいて基準クロック信号を発生し、この基準クロック信号をHカウンタ723と、必要に応じてV同期検出回路724、Vカウンタ725、H基準信号発生回路726及びV基準信号発生回路727等へ供給する。Hカウンタ723は、1行分の画素数をカウントし、この画素数に対応して基準クロック信号を分周し、基準水平信号として位相比較回路722に供給する。またHカウンタ723は、各回路ブロックが必要とする位相の異なる周波数 f_H の第2の基準水平信号や周波数 $n \times f_H$ の第3基準水平信号をVカウンタ725とH基準信号発生回路726及びV基準信号発生回路727に供給する。H基準信号発生回路726は、前記基準信号に基づいて、各種水平駆動制御信号を発生するための基準となるH基準信号を発生し、制御回路718に供給する。V同期信号検出回路724は、映像信号処理回路712から供給される同期信号から垂直同期信号を検出し、Vカウンタ725に供給する。Vカウンタ725は、例えば自走周期がNTSC方式の場合にはフィールド周期の $525H/2$ となる機能を持つカウンタで構成される。このVカウンタ725には、前記Hカウンタ723から $2 \times f_H$ の基準水平信号が供給され、前記V同期検出回路724から垂直同期信号が供給されない場合は自己リセットをして $525H/2$ の周期で自走するよう動作し、垂直同期信号が供給される場合は垂直同期信号と基準水平信号に基づいて位相を引き込むよう値がリセットされるよう動作する。またVカウンタは垂直同期信号に同期した基準垂直信号をV基準信号発生回路727に供給する。V基準信号発生回路727は、前記基準垂直信号に基づいて、各種垂直駆動制御信号を発生するための基準となるV基準信号を発生し、制御回路718に供給する。つまり、この図3の構成による基準信号発生回路717は、V同期検出回路724で垂直同期信号が検出できないような同期信号が入力された場合にも、安定にV基準信号を制御回路71-8に供給できる。この実施例では、H基準信号発生回路726とV基

準信号発生回路727でH基準信号とV基準信号を、それぞれ供給される基準水平信号と基準垂直信号から発生しているが、制御回路715を介し、第1走査制御回路716-1と第2走査制御回路716-2に供給する信号が、水平タイミング信号と垂直タイミング信号の2種類の情報からなる信号である場合は、前記H基準信号発生回路726とV基準信号発生回路727を用いず、前記基準水平信号と基準垂直信号を制御回路715を介し、第1走査制御回路716-1と第2走査制御回路716-2に直接供給する構成にしてもよい。

(基準信号発生回路717の第2の構成例) 図4の基準信号発生回路717は、図3の基準信号発生回路717のV同期検出回路724で検出された垂直基準信号を、V基準信号発生回路727に直接供給する構成であることを除き、他は同一の構成である。この構成は、同期信号が安定に基準信号発生回路717に供給される場合に用いられ、図3の構成よりも回路規模が少なく済むという長所がある。

(制御回路718) 制御回路718は、3つの役割を果たしている。第1の役割は、画面表示信号、H基準信号及びV基準信号を第1走査制御回路716-1と第2走査制御回路716-2に供給する。また、選択した映像信号が第1水平走査回路709-1と第2水平走査回路709-2に供給されるよう第1SW回路714-1と第2SW回路714-2を制御する。第2の役割は、第1レベル反転回路713-1、第2レベル反転回路713-2、第1コモン電圧発生回路710-1、第2コモン電圧発生回路710-2に制御信号を供給することにある。これらは、第1映像信号処理回路712-1から供給される同期信号1、第2映像信号処理回路712-2から供給される同期信号2及び外部から供給される画面表示制御信号に基づいて制御される。第1の役割について、もう少し詳しく説明する。この役割において、制御回路718は、画像表示制御信号に基づいて、4種類の動作を行う。そして、第1動作と第2動作とが1画面表示の場合の制御であり、第3動作と第4動作とが2画面表示の場合の制御である。なお、この表示方法については、後から詳しく説明する。

(1) 第1の動作

第1走査制御回路716-1、第2走査制御回路716-2に映像信号1の画面表示信号、H基準信号及びV基準信号を供給する。映像信号1が、第1水平走査回路709-1と第2水平走査回路709-2の両方に供給されるように第1SW回路714-1と第2SW回路714-2を制御する。

(2) 第2の動作

第1走査制御回路716-1、第2走査制御回路716-2に映像信号2の画面表示信号、H基準信号及びV基準信号を供給する。映像信号2が、第1水平走査回路709-1と第2水平走査回路709-2の両方に供給さ

れるように第1 SW回路714-1と第2 SW回路714-2を制御する。

(3) 第3の動作

第1走査制御回路716-1に映像信号1の画面表示信号、H基準信号及びV基準信号を供給する。第2走査制御回路716-2に映像信号2の画面表示信号、H基準信号及びV基準信号を供給する。映像信号五が第1水平走査回路709-1に供給されるように、映像信号2が第2水平走査回路709-2に供給されるように第1 SW回路714-1と第2 SW回路714-2を制御する。

(4) 第4の動作

第1走査制御回路716-1に映像信号2の画面表示信号、H基準信号及びV基準信号を供給する。第2走査制御回路716-2に映像信号1の画面表示信号、H基準信号及びV基準信号を供給する。映像信号2が第1水平走査回路709-1に供給されるように、映像信号1が第2水平走査回路709-2に供給されるように第1 SW回路714-1と第2 SW回路714-2を制御する。

3. 1 画面表示の説明

図5は1画面表示における表示形態を示す図である。この1画面表示についての説明を以下に記す。1画面表示をする場合は、第1映像信号処理回路712-1、または、第2映像信号処理回路712-2に入力した2つの映像信号の内、1つの映像信号を選択して、その映像信号から再生される画面のみを表示するものである。画面表示制御回路715は、前記した第1の動作、または、第2の動作を行う場合である。すなわち、画面表示制御回路715は、第1映像信号処理回路712-1から供給される同期信号1から発生した第1のH基準信号と第1のV基準信号と、第2映像信号処理回路712-2から供給される同期信号2から発生した第2のH基準信号と第2のV基準信号のいずれか一方を、端子100から供給される画面表示制御信号に基づいて選択して、同一のH基準信号とV基準信号を第1走査制御回路716-1と第2走査制御回路716-2に供給する。また、選択した映像信号が第1水平走査回路709-1と第2水平走査回路709-2に供給されるように第1 SW回路714-1と第2 SW回路714-2を制御する。第1走査制御回路716-1は、画面表示制御回路715を介して供給される画面表示信号と、H基準信号、V基準信号に基づいて、水平走査開始信号(STH1)、水平走査クロック信号(CPH1)、表示画素への書き込み信号(CX1)を発生し、第1水平走査回路709-1に供給すると共に、垂直走査クロック信号(VCK1)、垂直走査開始信号(STV1)及び垂直走査禁止信号(GOE11~13)を発生し、第1垂直走査回路708-1に供給する。第2走査制御回路716-2は、画面表示制御回路715を介して供給される画面表

示信号と、H基準信号、V基準信号に基づいて、水平走査開始信号(STH2)、水平走査クロック信号(CPH2)、表示画素への書き込み信号(CX2)を発生し、第2水平走査回路709-2に供給すると共に、垂直走査クロック信号(VCK2)、垂直走査開始信号(STV2)及び垂直走査禁止信号(GOE21~23)を発生し、第2垂直走査回路708-2に供給する。

(第1の表示例) 図5(a)はアスペクト比3:4の映像信号をアスペクト比9:16の表示パネルにそのまま表示する形態を示した図であり、表示される画像は図に示すように丸が横長の楕円表示になるように表示される。この表示において、第1走査制御回路716-1と第2走査制御回路716-2のいずれか一方の発生する水平走査開始信号(STH1)或いは水平走査開始信号(STH2)は、表示パネルの略中央で分割された走査信号線704により2分割された複数の画素電極702へ供給される映像信号が、その分割された画素電極間のサンプリング周期が一定になるように発生される。また、第1走査制御回路716-1と第2走査制御回路716-2の発生する水平走査クロック信号(CPH1)或いは水平走査クロック信号(CPH2)は、同一の信号波形或いは水平走査回路がサンプリングする期間外はその波形が変化しないようにしてサンプリングを禁止する波形として発生される。さらに、表示画素への書き込み信号(CX1)或いは表示画素への書き込み信号(CX2)は前記水平走査クロック信号(CPH1)或いは水平走査クロック信号(CPH2)が同一の信号の場合、第1水平走査回路709-1と第2走査制御回路709-2が映像信号をサンプルホールドし終わり、前記サンプルホールドした回路が次に映像信号をサンプルホールドし始める期間内の同一或いは異なるタイミングの信号として発生される。また、前記水平走査クロック信号(CPH1)と水平走査クロック信号(CPH2)が互いに映像信号をサンプリングする期間外はその波形が変化しないようにしてサンプリングを禁止する波形として発生される場合は、映像信号をサンプルホールドし終わり、前記サンプルホールドした回路が次に映像信号をサンプルホールドし始める期間内のタイミングの信号として発生される。

(第2の表示例) 図5(b)~(d)において、端子101或いは端子102を介して供給される映像信号1或いは映像信号2は、予め、映像信号と残領域の表示タイミングに残領域信号を合成した信号として供給される。図5(b)は、例えば、第1水平走査回路709-1が画面の左側、第2水平走査回路709-2が画面の右側の映像を表示する場合である。第1水平走査回路709-1は、残領域信号をサンプリングした後、映像信号の表示期間(T)の前半のT1期間をサンプリングする。第2水平走査回路709-2は残りの後半丁2:T-T

1 期間をサンプリングした後、残領域信号をサンプリングする。

(第3の表示例) 図5(c)は、例えば、第1水平走査回路709-1が画面の左側、第2水平走査回路709-2が画面の右側の映像を表示する場合である。第1水平走査回路709-1は、映像信号の表示期間(T)の前半の T_1 と略等しい $2T/3$ 期間をサンプリングする。第2水平走査回路709-2は、残りの後半 $T_2 = T - T_1$ 期間をサンプリングした後、残領域信号をサンプリングする。

(第4の表示例) 図5(d)は、例えば、第1水平走査回路709-1が画面の左側、第2水平走査回路709-2が画面の右側の映像を表示する場合である。第1水平走査回路709-1は、残領域信号をサンプリングした後映像信号の表示期間(T)の前半の T_1 と略等しい $2T/3$ 期間をサンプリングする。第2水平走査回路709-2は、残りの後半 $T_2 = T - T_1$ 期間をサンプリングする。

(第5の表示例) 図5(e)の表示形態において、図5(a)の構成と異なるのは、第1走査制御回路716-1と第2走査制御回路716-2からそれぞれ第1垂直走査回路708-1と第2垂直走査回路708-2に供給される垂直走査クロック信号(VCK1)、垂直走査開始信号(STV1)及び垂直走査禁止信号(GOE11~13)と垂直走査クロック信号(VCK2)、垂直走査開始信号(STV2)及び垂直走査禁止信号(GOE21~23)により、3ラインのうち1回だけ2ライン同時走査を行い、垂直方向に $4/3$ 倍に画像を伸長して表示するよう動作することである。したがって表示される画像は図に示すように3:4のアスペクト比の映像信号の上下合わせて0.75:4だけ欠落した画像が9:16のアスペクト比の液晶パネル701に表示される。

4. 2画面表示の説明

図6はアスペクト比9:16の表示パネルをアスペクト比9:8の2つの領域に分割し、それぞれの領域にアスペクト比3:4からなる映像信号を表示する場合の表示形態を示した図である。図6(a)~(c)は、第1走査制御回路716-1と第2走査制御回路716-2が同一の走査制御を行う場合の表示形態を示したものである。入力する映像信号1, 2は、互いに非同期の信号である場合である。また、入力する映像信号1, 2は、PAL方式のTV信号とNTSC方式のTV信号などの仕様の異なる信号であってもよい。画面表示制御回路715は、前記した第3の動作、または、第4の動作を行う場合である。

(第1の表示例) 図6(a)は、例えば、第1水平走査回路709-1が画面の左側に映像信号1を、第2水平走査回路709-2が画面の右側に映像信号2を表示する場合には、水平方向の画素数の半分ずつをそれぞれ

の映像信号の有効表示期間にサンプリングすることにより、図に示すような円が縦長の楕円表示で表示される。そして、この場合に、映像信号1と映像信号2とが、非同期であっても特別な信号処理をすることなしに、1つの表示装置に2つの画面を表示することができる。また、映像信号1, 2が、PAL方式のTV信号とNTSC方式のTV信号などの仕様の異なる信号であっても同様である。これは、液晶パネル701の各画素電極702がそれぞれ電氣的に独立であるためにできる表示方法であり、ブラウン管の表示装置では、到底実現できない表示方法である。なお、次に説明する第2、3の表示方法及びその他の表示方法も同様である。

(第2の表示例) 図6(b)は、図6(a)のサンプリング周波数を f とした場合、 $3f/2$ の周波数でサンプリングした場合の表示形態を示したもので、元来9:12のアスペクト比で表示される映像のうち左右合わせて9:4のアスペクト比の画像が欠落した画像が、左右それぞれの領域に表示される。

(第3の表示例) 図6(c)の表示形態において、図6(a)の構成と異なるのは、第1走査制御回路716-1と第2走査制御回路716-2からそれぞれ第1垂直走査回路708-1と第2垂直走査回路708-2に供給される垂直走査クロック信号(VCK1)、垂直走査開始信号(STV1)及び垂直走査禁止信号(GOE11~13)と垂直走査クロック信号(VCK2)、垂直走査開始信号(STV2)及び垂直走査禁止信号(GOE21~23)により、3ラインのうち1ラインを間引く間引き走査を行い、垂直方向に $2/3$ 倍に画像を圧縮して表示するよう動作することである。さらに前記映像信号のサンプリング期間外に合成された残領域信号をサンプリングすることで図に示す例のような残領域表示部を液晶パネル701に表示する。

(その他の表示例) 図6(d)~(i)は、第1走査制御回路716-1と第2走査制御回路716-2が互いに異なる走査制御を行う場合の表示形態を示したものであり、第1走査制御回路716-1と第2走査制御回路716-2のそれぞれの動作は図6(a)~(c)の場合と同一であるので動作を省略する。

5. 画像表示装置の全体構成の第2の実施例

図7は、本発明の第2の実施例に係わる画像表示装置を示す図である。図7において、図1の構成と同一のものには同符号を付している。コモン電圧発生回路710はコモン電圧(VCOM)を発生して第1対向電極と第2対向電極に供給する。また、このコモン電圧(VCOM)は第1レベル反転回路713-1と第2レベル反転回路713-2にも供給される。第1レベル反転回路713-1は、駆動信号発生回路711からの極性反転信号(POL)の制御により、第1映像信号処理回路712-1から供給される映像信号をコモン電圧(VCOM)を基準電圧とし、この基準電圧に対してレベル反転

して第1 SW回路714-1に出力する。第2レベル反転回路713-2も、駆動信号発生回路711からの極性反転信号(POL)の制御により、第2映像信号処理回路712-2から供給される映像信号をコモン電圧(VCOM)を基準電圧とし、この基準電圧に対してレベル反転して第2 SW回路714-2に出力する。これにより、液晶印加電圧の極性が周期的に反転される。この構成では図1とは異なり、データ信号線に供給する映像信号のダイナミックレンジは増大するが対向電極は分離しなくてもよい。他の構成は図1の構成と同一のため説明を省略する。

6. 画像表示装置の全体構成の第3の実施例

図8は、本発明の第3の実施例に係わる画像表示装置を示す図である。図8において、図1の構成と同一のものには同符号を付している。図8において図1の構成と異なる点を説明する。端子101と端子102に供給される映像信号1と映像信号2はそれぞれ第1 SW回路714-1と第2 SW回路714-2に供給される。第1 SW回路714-1と第2 SW回路714-2は、前記映像信号のいずれかを、駆動信号発生回路711から供給される制御信号により選択し、それぞれ第1映像信号処理回路712-1と第2映像信号処理回路712-2に出力する。第1映像信号処理回路712-1は、第1 SW回路714-1を介して供給された映像信号を、3原色信号R1, G1, B1に復調した後、ガンマ処理を行って第1レベル反転回路713-1に供給すると共に、映像信号1の同期信号を駆動信号発生回路711に供給する。第1レベル反転回路713-1は、駆動信号発生回路711から供給される極性反転信号1(POL1)の制御により、第1映像信号処理回路712-1から供給される映像信号をコモン電圧1(VCOM1)のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して第1水平走査回路709-1に供給する。第2映像信号処理回路712-2は、第2 SW回路714-2を介して供給された映像信号を、3原色信号R2, G2, B2に復調した後、ガンマ処理を行って第2レベル反転回路713-2に供給すると共に、映像信号2の同期信号を駆動信号発生回路711に供給する。第2レベル反転回路713-2は、駆動信号発生回路711から供給される極性反転信号2(POL2)の制御により、第2映像信号処理回路712-2から供給される映像信号をコモン電圧2(VCOM2)のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して第2水平走査回路709-2に供給する。他の構成は図1の構成と同一のため説明を省略する。

7. 本実施例の変更例

上記実施例では、入力する非同期信号が2つの場合について説明したが、これに限らず、走査線制御回路等を4つ準備すれば4つの信号に対応でき、画面表示が4つに分割できる。さらに、走査線制御回路等を複数準備すれ

ば、それに対応して非同期で入力する信号の数を増加させることができる。

8. 本実施例の適用例

以上説明したように、本実施例によれば、2画面表示の画像表示装置を安価に提供することができる。すなわち、2画面表示において表示パネルの左右に表示する映像信号のいずれか一方の信号が不安定な信号であっても他方の表示には影響されないため、従来のように、主信号となる一方の映像信号が安定した信号でないと画像が安定して表示されないという構成が必要でないために、2画面表示の画像表示装置を安価に提供することができる。したがって、カー・ナビゲーション・システム等では車内に設置しているカー・ナビゲーション・システムで発生される地図情報等の信号を常に用いることなく、受信できる2系統の信号を表示することが可能となった。また、放送方式の異なる2つの映像信号を同じに表示する安価な画像表示装置を提供することができる。例えば、欧州等のPAL方式のTV信号が受信できる地域では、走査線変換等の信号処理回路を用いずに、NTSC方式で再生されるカー・ナビゲーション・システムの地図情報等の信号とTV放送を同時に表示することができる。そして、本実施例のその他の適用例としては、TV等の大画面表示の平面表示装置に適用した場合である。すなわち、一画面で表示する場合は、その大画面を使用して図5に説明した表示が可能である。一方、2画面で表示する場合には、例えば、異なる同期の取れていないチャンネルのTV信号を、容易に表示することができる。また、大画面で、かつ、表示画素の多い平面表示装置であれば、2画面に限らず4画面、それ以上の複数画面を表示してもよい。図16は、本発明に係わる画像表示方法の一実施例を示すブロック図である。駆動信号発生回路711は水平走査回路1709-1と垂直走査回路1708-1による駆動走査を制御する走査制御回路1716-1と水平走査回路2709-2と垂直走査回路2708-2による駆動走査を制御する走査制御回路2716-2と映像信号1と映像信号2の同期信号からそれぞれ得られた基準信号を選択し走査制御回路1716-1、走査制御回路2716-2に供給する画面表示制御回路715から構成される。映像信号処理回路1712-1は端子101を介して入力された映像信号1を、3原色信号R1, G1, B1に復調した後、ガンマ処理を行ってSW回路1714-1とSW回路2714-2に供給すると共に、映像信号1の同期信号を駆動信号発生回路711の画面表示制御回路715に供給する。映像信号処理回路2712-2は端子102を介して入力された映像信号2を、3原色信号R2, G2, B2に復調した後、ガンマ処理を行ってSW回路1714-1とSW回路2714-2に供給すると共に、映像信号1の同期信号を駆動信号発生回路711の画面表示制御回路715に供給する。SW回路1714-1とSW

回路 2 7 1 4 - 2 は画面表示制御回路 7 1 5 からそれぞれ供給される選択信号 1 と選択信号 2 に基づき、映像信号処理回路 1 7 1 2 - 1 と映像信号処理回路 2 7 1 2 - 2 から供給される映像信号のいずれかを選択してレベル反転回路 1 7 1 3 - 1 とレベル反転回路 2 にそれぞれ出力する。レベル反転回路 1 7 1 3 - 1 は画面表示制御回路 7 1 5 から供給される極性反転信号 1 の制御により、SW 回路 1 7 1 4 - 1 から供給される映像信号をコモン電圧 1 (V C O M 1) のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して水平走査回路 1 7 0 9 - 1 に供給する。レベル反転回路 2 7 1 3 - 2 は画面表示制御回路 7 1 5 から供給される極性反転信号 2 の制御により、SW 回路 2 7 1 4 - 2 から供給される映像信号をコモン電圧 2 (V C O M 2) のレベル反転に同期して、逆位相で基準電圧に対してレベル反転して水平走査回路 2 7 0 9 - 2 に供給する。コモン電圧発生回路 1 7 1 0 - 1 は画面表示制御回路 7 1 5 から供給される極性反転信号の制御により各水平走査期間及び垂直走査期間毎に基準電位に対してレベル反転されるコモン電圧 1 (V C O M 1) を発生し、対向電極 1 に供給する。コモン電圧発生回路 2 7 1 0 - 2 は画面表示制御回路 7 1 5 から供給される極性反転信号 2 の制御により各水平走査期間及び垂直走査期間毎に基準電位に対してレベル反転されるコモン電圧 2 (V C O M 2) を発生し、対向電極 2 に供給する。画面表示制御回路 7 1 5 は映像信号処理回路 1 7 1 2 - 1 から供給される同期信号 1 から第 1 のクロック信号、第 1 の基準 H 信号及び第 1 の基準 V 信号を発生し、映像信号処理回路 2 7 1 2 - 2 から供給される同期信号 2 から第 2 のクロック信号、第 2 の基準 H 信号及び第 2 の基準 V 信号を発生する。そして、端子 1 0 0 から供給される画面表示制御信号に基づいて、同一或いは異なるクロック信号、基準 H 信号及び基準 V 信号を選択して走査制御回路 1 7 1 6 - 1 と走査制御回路 2 7 1 6 - 2 にそれぞれ基準信号 1、基準信号 2 として供給する。また、画面表示制御回路 7 1 5 は端子 1 0 0 から供給される画面表示制御信号に基づく画面表示制御信号を発生し、走査制御回路 1 7 1 6 - 1 と走査制御回路 2 7 1 6 - 2 にそれぞれ表示制御信号 1、表示制御信号 2 として供給する。走査制御回路 1 7 1 6 - 1 は前記表示制御信号 1 と、基準信号 1 に基づき、水平走査開始信号 (S T H 1)、水平走査クロック信号 (C P H 1)、表示画素への書き込み信号 (C X 1) を発生し、水平走査回路 1 7 0 9 - 1 に供給すると共に、垂直走査クロック信号 (V C K 1)、垂直走査開始信号 (S T V 1) 及び垂直走査禁止信号 (G O E 1 1 ~ 1 3) を発生し、垂直走査回路 1 7 0 8 - 1 に供給する。走査制御回路 2 7 1 6 - 2 は前記表示制御信号 2 と、基準信号 2 に基づき、水平走査開始信号 (S T H 2)、水平走査クロック信号 (C P H 2)、表示画素への書き込み信号 (C X 2) を発生し、水平走査回路 2 7 0 9 - 2 に供給すると共に、

垂直走査クロック信号 (V C K 2)、垂直走査開始信号 (S T V 2) 及び垂直走査禁止信号 (G O E 2 1 ~ 2 3) を発生し、垂直走査回路 2 7 0 8 - 2 に供給する。垂直走査回路 1 7 0 8 - 1 と垂直走査回路 2 7 0 8 - 2 は表示パネル 7 0 1 のほぼ中央で分割された走査信号線 7 0 4 のそれぞれに走査信号を供給する駆動動作を行う。この垂直走査回路 1 7 0 8 - 1 と垂直走査回路 2 7 0 8 - 2 は複数の走査信号線 7 0 4 に対応し、それぞれ垂直走査開始信号 1, 2 (S T V 1, 2) を伝送するために直列に接続される複数のフリップフロップで構成されるシフトレジスタ回路を有する。このシフトレジスタ回路は垂直走査クロック信号 1, 2 (C P V 1, 2) に応答して垂直走査開始信号 1, 2 (S T V 1, 2) のシフト動作を行い、垂直走査開始信号 1, 2 (S T V 1, 2) をラッチしたフリップフロップに対応する走査信号線 7 0 4 に走査信号を出力する。また、前記走査信号は垂直走査禁止信号 (G O E 1 1 ~ 1 3, G O E 2 1 ~ G O E 2 3) により走査信号線 7 0 4 に出力する期間を制限される。水平走査回路 1 7 0 9 - 1 と水平走査回路 2 7 0 9 - 2 はそれぞれレベル反転された映像信号 1, 2 をデータ信号として順次サンプルホールドし、表示パネル 7 0 1 のほぼ中央で分割された走査信号線 7 0 4 により 2 分割された複数の画素電極 7 0 2 へそれぞれ映像信号を供給するよう、データ信号に応じて複数のデータ信号線 7 0 5 を駆動する駆動動作を行う。この水平走査回路 1 7 0 9 - 1 と水平走査回路 2 7 0 9 - 2 はそれぞれ水平走査開始信号 1, 2 (S T H 1, 2) を伝送するために直列に接続される複数のフリップフロップで構成される少なくとも 1 個のシフトレジスタを有する。各シフトレジスタは水平走査クロック信号 1, 2 (C P H 1, 2) に応答して水平走査開始信号 1, 2 (S T H 1, 2) のシフト動作を行ない、各フリップフロップが水平走査開始信号 1, 2 (S T H 1, 2) を出力するタイミングで映像信号をサンプルホールドし、このフリップフロップに対応するデータ信号線 7 0 5 にデータ信号として供給する。図 1 7 は画面表示制御回路 7 1 5 の一構成例を示す図であり、図 1 8 は基準信号発生回路 7 1 7 の一構成例を示す図である。画面表示制御回路 1 7 1 5 は、制御回路 7 1 8 と図 1 8 の P L L 回路 7 1 9, V 同期検出回路 7 2 4, V カウンタ 7 2 5、基準 H 信号発生回路 7 2 6、基準 V 信号発生回路 7 2 7 により構成された基準信号発生回路 1 7 1 7 - 1 と基準信号発生回路 2 7 1 7 - 2 により構成される。P L L 回路 7 1 9 はループフィルタ 7 2 0、電圧制御発振器 (V C O) 7 2 1 位相比較回路 7 2 2, H カウンタ 7 2 3 で構成される。P L L 回路 7 1 9 では、位相比較回路 7 2 2 が映像信号処理回路 7 1 2 から供給される同期信号の水平同期信号と H カウンタ 7 2 3 から供給される基準水平信号との位相差を検出し、この位相差に応じた誤差信号を発生する。ループフィルタ 7 2 0 は位相比較回路 7 2 2 から得られ

る誤差信号から高周波成分や雑音を取り除いた信号電圧を発生する。VCO721は前記信号電圧に基づいてクロック信号を発生し、このクロック信号をHカウンタ723と、制御回路718と、必要に応じてV同期検出回路724、Vカウンタ725、基準H信号発生回路726及び基準V信号発生回路727等へ供給する。Hカウンタ723は1行分の画素数をカウントし、この画素数に対応してクロック信号を分周し、基準水平信号として位相比較回路722へ供給する。またHカウンタ723は、各回路ブロックが必要とする位相の異なる周波数 f_{H1} の第2の基準水平信号や周波数 $n \times f_H$ の第3の基準水平信号をVカウンタ725と基準H信号発生回路726及び基準V信号発生回路727へ供給する。基準H信号発生回路は前記基準信号に基づいて、各種水平駆動制御信号を発生するための基準となる基準H信号を発生し、制御回路718へ供給する。V同期検出回路724は映像信号処理回路712から供給される同期信号から垂直同期信号を検出し、Vカウンタ725へ供給する。Vカウンタ725は、例えば自走周期がNTSC方式の場合にはフィールド周期の $525H/2$ となる機能を持つカウンタで構成される。このVカウンタ725には、前記Hカウンタ723から $2 \times f_H$ の基準水平信号が供給され、前記V同期検出回路724から垂直同期信号が供給されない場合は自己リセットをして $525H/2$ の周期で自走するよう動作し、垂直同期信号が供給される場合は垂直同期信号と基準水平信号に基づいて位相を引き込むよう値がリセットされるよう動作する。またVカウンタは垂直同期信号に同期した基準垂直信号を基準V信号発生回路727へ供給する。基準V信号発生回路727は前記基準垂直信号に基づいて、各種垂直駆動制御信号を発生するための基準となる基準V信号を発生し、制御回路718へ供給する。つまり、この図18の構成による基準信号発生回路717はV同期検出回路724で垂直同期信号が検出できないような同期信号が入力された場合にも、安定に基準V信号を制御回路718へ供給できる。この実施例では、基準H信号発生回路726と基準V信号発生回路727で基準H信号と基準V信号を、それぞれ供給される基準水平信号と基準垂直信号から発生しているが、前記基準H信号発生回路726と基準V信号発生回路727を用いずに、前記基準水平信号と基準垂直信号を制御回路718を介し、走査制御回路1716-1と走査制御回路2716-2に直接供給する構成にしても良い。図19は制御回路718の一構成例を示す図である。制御回路718はPOL1信号発生回路801-1、POL2信号発生回路801-2、SW回路3802-1、SW回路4802-2、信号選択回路1803-1、信号選択回路2803-2、デコード回路804、制御信号取得回路1805-1、制御信号取得回路2805-2、画面切換制御回路806から構成される。POL1信号発生回路801-1は基準信

号発生回路1717-1から供給される信号のうち少なくとも基準H信号と基準V信号に基づいて極性反転信号POL1を発生し、SW回路3802-1とSW回路4802-2へ供給する。POL2信号発生回路801-2は基準信号発生回路2717-2から供給される信号のうち少なくとも基準H信号と基準V信号に基づいて極性反転信号POL2を発生し、SW回路3802-1とSW回路4802-2へ供給する。SW回路3802-1は極性反転信号POL1、POL2のいずれかを画面切換制御回路806から供給される選択信号1に基づいて選択し、極性反転信号1としてコモン電圧発生回路1710-1、レベル反転回路1713-1へ供給する。SW回路4802-2は極性反転信号POL1、POL2のいずれかを画面切換制御回路806から供給される選択信号2に基づいて選択し、極性反転信号2としてコモン電圧発生回路2710-2、レベル反転回路2713-2へ供給する。信号選択回路1803-1は画面切換制御回路806から供給される選択信号1に基づいて選択した基準信号発生回路1717-1と基準信号発生回路2717-2の一方から供給されるクロック信号、基準H信号及び基準V信号を基準信号1として走査制御回路1716-1へ供給する。信号選択回路2803-2は画面切換制御回路806から供給される選択信号2に基づいて選択した基準信号発生回路1717-1と基準信号発生回路2717-2の一方から供給されるクロック信号、基準H信号及び基準V信号を基準信号2として走査制御回路2716-2へ供給する。デコード回路804は制御信号取得回路1805-1を介して走査制御回路1716-1へ供給する表示制御信号1と、制御信号取得回路2805-2を介して走査制御回路2716-2へ供給する表示制御信号2を端子100から供給される画面表示制御信号から得て、それぞれの信号を制御信号取得回路1805-1と制御信号取得回路2805-2にモード信号として供給する。また、選択信号1と選択信号2のもととなる切り換え情報である制御信号1と制御信号2を端子100から供給される画面表示制御信号から得て、画面切換制御回路806へ供給する。図20は画面切換制御回路806の具体的構成例を示す図である。画面切換制御回路806は、選択信号発生回路807-1/2画面信号発生回路808、サンプリング制御回路809から構成される。基準信号発生回路1717-1で発生された第1の基準V信号のうち映像信号1の表示パネルへの表示が終了するタイミングを示す映像終了信号1と、基準信号発生回路2717-2で発生された第2の基準V信号のうち映像信号2の表示パネルへの表示が終了するタイミングを示す映像終了信号2は、選択信号発生回路807-1/2画面信号発生回路808、サンプリング制御回路809へ供給される。また、デコード回路804で発生された制御信号1、制御信号2は、選択信号発生回路807、サンプリング制御

回路809に供給される。選択信号発生回路807は制御信号1、制御信号2、映像終了信号1、映像終了信号2とに基づいて選択信号1と選択信号2を発生し、選択信号1を1/2画面信号発生回路808、サンプリング制御回路809、SW回路1714-1、SW回路3802-1、信号選択回路1803-1に供給し、また、選択信号2を1/2画面信号発生回路808、サンプリング制御回路809、SW回路2714-2、SW回路4802-2、信号選択回路2803-2に供給する。サンプリング制御回路は制御信号1、制御信号2、映像終了信号1、映像終了信号2、選択信号1、選択信号2に基づきサンプリング信号1とサンプリング信号2を発生し、それぞれの信号を制御信号取得回路1805-1と制御信号取得回路2805-2に供給する。1/2画面信号発生回路808は選択信号1、選択信号2、映像終了信号1、映像終了信号2に基づいて表示パネル701への1画面表示期間の制御信号である1/2画面信号を発生し、走査制御回路1716-1と走査制御回路2716-2に供給する。走査制御回路1716-1と走査制御回路2716-2は供給された1/2画面信号が1画面表示期間である場合に、水平走査クロック信号1、2 (CPH1, 2) の周波数を2画面表示時の約1/2の周波数で発生し、更に水平走査回路1709-2と水平走査回路2709-2でそれぞれ走査された映像を合わせると1画面の画像となるように水平走査開始信号1、2 (STH1, 2) の位相をずらして発生する。制御信号取得回路1805-1は画面切換制御回路806から供給されるサンプリング信号1に基づいてデコード回路804から供給されるデコード信号をサンプリングし、表示制御信号1として走査制御回路1716-1に供給する。制御信号取得回路2805-2は画面切換制御回路806から供給されるサンプリング信号2に基づいてデコード回路804から供給されるデコード信号をサンプリングし、表示制御信号2として走査制御回路2716-2に供給する。図21～図23は制御回路718の動作例を説明するためのタイミング図であり、この図を用いて本発明の動作を詳細に説明する。尚、説明を簡略にするために、2画面表示制御期間は制御信号1と制御信号2、選択信号1と選択信号2の極性を異なる信号とし、表示パネル701には映像信号1と映像信号2の異なる画像を表示する動作タイミングを表示している。また、実線に示した制御信号1と制御信号2の極性が反対の極性である場合の動作波形を点線の波形にて表示しているが、この動作は実線で示した動作から容易に理解できるので説明を省く。図において、映像開始信号1、映像終了信号1は映像信号1の映像期間を示す第1の基準V信号なる垂直タイミング信号であり、映像開始信号2、映像終了信号2は映像信号2の映像期間を示す第2の基準V信号なる垂直タイミング信号である。また、第1、第2の基準H信号、第1、第2のクロック信

号については図示しないが、前記第1、第2の基準V信号に同期して発生される。制御回路718の画面切換制御回路806を構成する選択信号発生回路807は基準信号発生回路1717-1から供給される映像終了信号1により、制御信号1がHレベルの場合には選択信号1を、制御信号2がHレベルの場合には選択信号2をそれぞれHレベルにセットし、また、基準信号発生回路2717-2から供給される映像終了信号2により制御信号1がLレベルの場合には選択信号1を、制御信号2がLレベルの場合には選択信号2をそれぞれLレベルにセットする。SW回路1714-1は、選択信号1がLレベルの場合にはレベル反転回路1713-1の出力信号を、Hレベルの場合にはレベル反転回路2713-2の出力信号をそれぞれ選択するよう動作し、SW回路2714-2は選択信号2がLレベルの場合にはレベル反転回路2714-2の出力信号を、Hレベル場合にはレベル反転回路1714-1の出力信号をそれぞれ選択するよう動作する。また、SW回路3802-1は選択信号1がLレベルの場合にはPOL1信号発生回路801-1の出力信号を、Hレベル場合にはPOL2信号発生回路801-2の出力信号をそれぞれ選択するよう動作し、SW回路4は選択信号2がLレベルの場合にはPOL2信号発生回路801-2の出力信号を、Hレベル場合にはPOL1信号発生回路801-1の出力信号をそれぞれ選択するよう動作する。更に、信号選択回路1803-1は選択信号1がLレベルの場合には映像開始信号1を、Hレベル場合には映像開始信号2をそれぞれ選択するよう動作し、信号選択回路2は選択信号2がLレベルの場合には映像開始信号2を、Hレベル場合には映像開始信号1をそれぞれ選択するよう動作する。図21は2画面表示から映像信号1による1画面表示への切り換え動作と、この1画面表示から2画面表示への切り換え動作を示すタイミング図であり、図21(1)は映像終了信号1から映像終了信号2までの間である期間BCに、モード信号が2画面表示から映像信号1からなる1画面表示に切り換えられ、次なる期間bcに1画面表示から2画面表示に切り換えられる場合の動作タイミング図である。また、図21(2)は映像終了信号2から映像終了信号1までの間である期間ABに、モード信号が2画面表示から映像信号1からなる1画面表示に切り換えられ、次なる期間abに1画面表示から2画面表示に切り換えられる場合の動作タイミング図である。図21(1)の選択信号1はLレベルの制御信号1と時間C, E, c, eの映像信号2によりLレベルにセットされる。また、選択信号2はHレベルの制御信号2と時間Bの映像終了信号2によりHレベルにセットされた後、Lレベルの制御信号と時間C, E, cの映像終了信号2によりLレベルにセットされ、更に、Hレベルの制御信号2と時間dの映像信号1によりHレベルにセットされる。信号選択回路1803-1はLレベルなる選択信号

1に基づき映像開始信号1を基準信号1として走査制御回路1716-1に供給し、信号選択回路2はHレベルなる選択信号2に基づき映像開始信号2を基準信号2として走査制御回路2716-2に供給するよう動作する。また、制御信号取得回路1805-1と制御信号取得回路2805-2はサンプリング制御回路809からそれぞれ供給されるサンプリング信号1とサンプリング信号2に基づいてデコード回路804から供給されるモード信号をサンプリングし、走査制御回路1716-1と走査制御回路2716-2にそれぞれ表示制御信号1と表示制御信号2として供給する。このサンプリング制御回路809で発生されるサンプリング信号は、選択信号1、選択信号2に基づいて、サンプリング信号1は全期間を通じて映像終了信号1と同一のタイミング、サンプリング信号2は期間C dでは映像終了信号1、それ以外の期間では映像終了信号2と同一のタイミングとなる。従って、走査制御回路1716-1は時間Dの映像終了信号1までは映像信号1の画像を2画面表示動作の一方として表示するよう動作し、また、期間D以降は時間Dのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号1の画像を1画面表示するよう動作する。そして、時間d以降では時間dのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号1の画像を2画面表示動作の一方として表示するよう動作する。一方、走査制御回路2716-2は時間Cの映像終了信号2までの期間T2は映像信号2の画像を2画面表示動作の他方として表示をするよう動作し、時間Cの映像終了信号2の直後はHレベルからLレベルに切り換えられた選択信号2により走査を一時的に停止した状態となった後、時間Dのタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号1の画像を1画面表示するよう動作する。時間d以降では時間dの映像終了信号1の直後はLレベルからHレベルに切り換えられた選択信号2により走査を一時的に停止した状態となった後、時間eのタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号2の画像を2画面表示動作の他方として表示をするよう動作する。図21(2)の選択信号1はLレベルの制御信号1と時間C、a、cの映像信号2によりLレベルにセットされる。また、選択信号2はHレベルの制御信号と時間Bの映像終了信号2によりHレベルにセットされた後、Lレベルの制御信号2と時間C、aの映像終了信号2によりLレベルにセットされ、更に、Hレベルの制御信号2と時間bの映像信号1によりHレベルにセットされる。サンプリング制御回路809で発生されるサンプリング信号1は、制御信号1と制御信号2が共にLレベルとなった直後の映像終了信号1がサンプリング信号1とならないよう禁止することにより、期間ABを除いて映像終了信号1と同一のタ

イミングとなり、サンプリング信号2は期間C bでは映像終了信号1、それ以外の期間では映像終了信号2と同一のタイミングとなる。従って、走査制御回路1716-1は時間Dの映像終了信号1までは映像信号1の画像を2画面表示動作の一方として表示するよう動作し、また、期間D以降は時間Dのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号1の画像を1画面表示するよう動作する。そして、時間b以降では時間bのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号1の画像を2画面表示動作の一方として表示するよう動作する。一方、走査制御回路2716-2は時間Cの映像終了信号2までの期間T2は映像信号2の画像を2画面表示動作の他方として表示をするよう動作し、時間Cの映像終了信号2の直後はHレベルからLレベルに切り換えられた選択信号2により走査を一時的に停止した状態となった後、時間Dのタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号1の画像を1画面表示するよう動作する。時間b以降では時間bの映像終了信号1の直後はLレベルからHレベルに切り換えられた選択信号2により走査を一時的に停止した状態となった後、時間Cのタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号2の画像を2画面表示動作の他方として表示をするよう動作する。図22は2画面表示から映像信号1による1画面表示への切り換え動作と、この1画面表示から2画面表示への切り換え動作を示すタイミング図であり、図22(1)は映像終了信号1から映像終了信号2までの間である期間BCに、モード信号が2画面表示から映像信号2からなる1画面表示に切り換えられ、次なる期間bcに1画面表示から2画面表示に切り換えられる場合の動作タイミング図である。また、図21(2)は映像終了信号2から映像終了信号1までの間である期間ABに、モード信号が2画面表示から映像信号2からなる1画面表示に切り換えられ、次なる期間abに1画面表示から2画面表示に切り換えられる場合の動作タイミング図である。図22(1)の選択信号1はHレベルの制御信号1と時間D、bの映像信号1によりHレベルにセットされた後、Lレベルの制御信号1と時間C、eの映像終了信号2によりLレベルにセットされる。また、選択信号2はHレベルの制御信号2と時間B、D、b、dの映像終了信号1によりHレベルにセットされる。信号選択回路1803-1はLレベルなる選択信号1に基づき映像開始信号1を基準信号1として走査制御回路1716-1に供給し、信号選択回路2はHレベルなる選択信号2に基づき映像開始信号2を基準信号2として走査制御回路2716-2に供給するよう動作する。サンプリング制御回路809で発生されるサンプリング信号1は、期間D cでは映像終了信号2、それ以外の期間では映像終了信号1

と同一のタイミングとなり、サンプリング信号2は制御信号1と制御信号2が共にHレベルとなった直後の映像終了信号2がサンプリング信号2とならないよう禁止することにより、期間BCを除いて映像終了信号2と同一のタイミングとなる。従って、走査制御回路1716-1は時間Dの映像終了信号1までの期間T1は映像信号1の画像を2画面表示動作の一方として表示をするよう動作し、時間Dの映像終了信号1の直後はLレベルからHレベルに切り換えられた選択信号1により走査を一時的に停止した状態となった後、時間Eのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号2の画像を1画面表示するよう動作する。時間c以降では時間cの映像終了信号2の直後はHレベルからLレベルに切り換えられた選択信号1により走査を一時的に停止した状態となった後、時間dのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号1の画像を2画面表示動作の一方として表示をするよう動作する。一方、走査制御回路2716-2は時間Eの映像終了信号2までは映像信号2の画像を2画面表示動作の他方として表示するよう動作し、また、期間E以降は時間Eのタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号2の画像を1画面表示するよう動作する。そして、時間。以降では時間。のタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号2の画像を2画面表示動作の他方として表示するよう動作する。図22(2)の選択信号1はHレベルの制御信号1と時間B、d、bの映像信号1によりHレベルにセットされた後、Lレベルの制御信号1と時間。の映像終了信号2によりLレベルにセットされる。また、選択信号2はHレベルの制御信号2と時間B、D、b、dの映像終了信号2によりHレベルにセットされる。サンプリング制御回路809で発生されるサンプリング信号1は、期間Bcでは映像終了信号2、それ以外の期間では映像終了信号1と同一のタイミングとなり、サンプリング信号2は全期間で映像終了信号2と同一のタイミングとなる。従って、走査制御回路1716-1は時間Bの映像終了信号1までの期間T1は映像信号1の画像を2画面表示動作の一方として表示をするよう動作し、時間Bの映像終了信号1の直後はLレベルからHレベルに切り換えられた選択信号1により走査を一時的に停止した状態となった後、時間cのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号2の画像を1画面表示するよう動作する。時間c以降では時間cの映像終了信号2の直後はHレベルからLレベルに切り換えられた選択信号1により走査を一時的に停止した状態となった後、時間dのタイミングにより供給される表示制御信号1、1/2画面信号、基準信号1に基づいて映像信号1の画像を2画面表示動作の一方として

表示をするよう動作する。一方、走査制御回路2716-2は時間Cの映像終了信号2までは映像信号2の画像を2画面表示動作の他方として表示するよう動作し、また、期間C以降は時間Cのタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号2の画像を1画面表示するよう動作する。そして、時間。以降では時間。のタイミングにより供給される表示制御信号2、1/2画面信号、基準信号2に基づいて映像信号2の画像を2画面表示動作の他方として表示するよう動作する。図23は2画面表示において左右の画像を入れ換える動作を示すタイミング図である。図23(1)の選択信号1はLレベルの制御信号1と映像信号2によりLレベルにセットされた後、Hレベルの制御信号1と映像終了信号1によりHレベルにセットされる。また、選択信号2はHレベルの制御信号2と映像終了信号1によりHレベルにセットされた後、Lレベルの制御信号2と映像終了信号2によりLレベルにセットされる。サンプリング制御回路809で発生されるサンプリング信号1は、選択信号1がLレベルの間は映像終了信号1、それ以外の期間では映像終了信号2と同一のタイミングとなり、サンプリング信号2は制御信号2がHレベルの間は映像終了信号2、それ以外の期間では映像終了信号1と同一のタイミングとなる。従って、走査制御回路1716-1は期間T1では映像信号1の画像を2画面表示動作の一方として表示をするよう動作し、選択信号1の変化により期間T4の走査を一時的に停止した状態となった後、期間T4に続く期間T2では映像終了信号2のタイミングにより供給される表示制御信号1と基準信号1に基づいて映像信号2の画像を2画面表示動作の一方として表示をするよう動作する。一方、走査制御回路2716-2は期間T2では映像信号2の画像を2画面表示動作の他方として表示をするよう動作し、選択信号2の変化により期間T3の走査を一時的に停止した状態となった後、期間T3に続く期間T1では映像終了信号1のタイミングにより供給される表示制御信号2と基準信号2に基づいて映像信号1の画像を2画面表示動作の他方として表示するよう動作する。図23(2)の選択信号1はLレベルの制御信号1と映像信号2によりLレベルにセットされた後、Hレベルの制御信号1と映像終了信号1によりHレベルにセットされる。また、選択信号2はHレベルの制御信号2と映像終了信号1によりHレベルにセットされた後、Lレベルの制御信号2と映像終了信号2によりLレベルにセットされる。サンプリング制御回路809で発生されるサンプリング信号1は、選択信号1がLレベルの間は映像終了信号1、それ以外の期間では映像終了信号2と同一のタイミングとなり、サンプリング信号2は制御信号2がHレベルの間は映像終了信号2、それ以外の期間では映像終了信号1と同一のタイミングとなる。従って、走査制御回路1716-1は期間T1では映像信号1の画像

を2画面表示動作の一方として表示をするよう動作し、選択信号1の変化により期間T4の走査を一時的に停止した状態となった後、期間T4に続く期間T2では映像終了信号2のタイミングにより供給される表示制御信号1と基準信号1に基づいて映像信号2の画像を2画面表示動作の一方として表示をするよう動作する。一方、走査制御回路2716-2は期間T2では映像信号2の画像を2画面表示動作の他方として表示をするよう動作し、選択信号2の変化により期間T3の走査を一時的に停止した状態となった後、期間T3に続く期間T1では映像終了信号1のタイミングにより供給される表示制御信号2と基準信号2に基づいて映像信号1の画像を2画面表示動作の他方として表示するよう動作する。図24は、本発明の画像表示装置の他の実施例を示すブロック図である。図24において、図1の構成と同一のものには同符号を付して、その説明を省略する。映像信号処理回路1712-1は端子101を介して入力された映像信号1を、3原色信号R1, G1, B1に復調した後、ガンマ処理を行ってレベル反転回路1713-1に供給すると共に、映像信号1の同期信号を駆動信号発生回路711の画面表示制御回路715に供給する。映像信号処理回路2712-2は端子102を介して入力された映像信号2を、3原色信号R2, G2, B2に復調した後、ガンマ処理を行ってレベル反転回路2713-2に供給すると共に、映像信号1の同期信号を駆動信号発生回路711の画面表示制御回路715に供給する。レベル反転回路1713-1は画面表示制御回路715から供給される極性反転信号POL1の制御により、映像信号処理回路1712-1から供給される映像信号をコモン電圧1(VCOM1)のレベル反転に同期して、逆位相で基準電圧に対してレベル反転してSW回路1714-1とSW回路2714-2に供給する。レベル反転回路2713-2は画面表示制御回路715から供給される極性反転信号POL2の制御により、映像信号処理回路2712-2から供給される映像信号をコモン電圧2(VCOM2)のレベル反転に同期して、逆位相で基準電圧に対してレベル反転してSW回路1714-1とSW回路2714-2に供給する。SW回路1714-1とSW回路2714-2は画面表示制御回路715からそれぞれ供給される選択信号1と選択信号2に基づき、レベル反転回路1713-1とレベル反転回路2713-2から供給される映像信号のいずれかを選択して水平走査回路1709-1と水平走査回路2709-2にそれぞれ出力する。画面表示制御回路715は図2に示すように、基準信号発生回路1717-1、基準信号発生回路2717-2及び制御回路718から構成される。図25は図24の画像表示装置の画面表示制御回路715を構成する制御回路718の構成例を示す図であり、図19の構成と同一のものには同符号を付してある。図25において図19の構成と異なるのは、SW回路17

14-1とSW回路2714-2からそれぞれ出力される極性反転信号1、極性反転信号2ではなく、POL1信号発生回路801-1とPOL2信号発生回路801-2からそれぞれ出力される極性反転信号POL1、極性反転信号POL2がレベル反転回路1713-1とレベル反転回路2713-2にそれぞれ供給される構成となっていることであり、他は図19と同一の構成であるので説明を省略する。以上説明したように、本発明によれば、1画面表示も可能であり、また、互いに非同期の複数の信号、仕様の異なる複数の信号が入力しても複数の画面表示が可能であり、その上この画像表示装置を安価に提供することができる。

【発明の効果】以上説明したように、本発明の画像表示装置によれば、表示パネルの左右に同期していない2系統の映像信号から得られる画像を表示する画像表示装置を安価に提供することが出来る。また、2画面表示において表示パネルの左右に表示する映像信号のいずれか一方の信号が不安定な信号であっても他方の表示には影響されないため、従来のように、主信号となる一方の映像信号が安定した信号でないと画像が安定して表示されないという課題がなくなった。従って、カー・ナビゲーション・システム等では車内に設置しているカー・ナビゲーション・システムで発生される地図情報等の信号を常々用いることなく、受信できる2系統の信号を表示することが可能となった。また、放送方式の異なる2つの映像信号を同時に表示する安価な画像表示装置を提供することができる。例えば、欧州等のPAL方式のTV信号が受信できる地域では、走査線変換等の信号処理回路を用いずに、NTSC方式で再生されるカー・ナビゲーション・システムの地図情報等の信号とTV放送を同時に表示することができる。更に、同期していない2系統の映像信号を表示パネルの左右に表示した状態から、いずれか一方の映像信号のみを表示するよう切り換える際に、表示パネルの左右のどちらかの画像が半分だけ表示されという2系統の映像信号が同期していないことに起因する課題を解決することが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる画像表示装置の概略構成図である。

【図2】図1の画像表示装置の画面表示制御回路の一構成例を示す図である。

【図3】図2の基準信号発生回路の第1の構成例を示す図である。

【図4】図2の基準信号発生回路の第2の構成例を示す図である。

【図5】図1の画像表示装置の1画面表示における表示形態を示す図である。

【図6】図1の画像表示装置の2画面表示における表示形態を示す図である。

【図7】図1の画像表示装置の第2の実施例を示す図で

ある。

【図 8】図 1 の画像表示装置の第 3 の実施例を示す図である。

【図 9】従来の一画像表示装置の概略構成図である。

【図 10】図 9 の画像表示装置の入力処理回路の概略構成図である。

【図 11】図 9 の画像表示装置のフレーム同期回路の概略構成図である。

【図 12】図 9 の画像表示装置の液晶表示装置の概略構成図である。

【図 13】図 9 の画像表示装置のデータ変換回路の概略構成図である。

【図 14】図 9 の画像表示装置の一表示形態を示す図である。

【図 15】図 9 の画像表示装置の 2 画面表示における表示形態を示す図である。

【図 16】図 16 は本発明の一実施例に係わる画像表示装置の概略構成図である。

【図 17】図 17 は図 16 の画像表示装置の画面表示制御回路の一構成例を示す図である。

【図 18】図 18 は図 17 の基準信号発生回路の一構成例を示す図である。

【図 19】図 19 は図 17 の制御回路の一構成例を示す図である。

【図 20】図 20 は図 19 の画面切換制御回路の一構成例を示す図である。

【図 21】図 21 は図 19 の制御回路の 2 画面表示から映像信号 1 による 1 画面表示への切り換え動作と、この 1 画面表示から 2 画面表示への切り換え動作を示すタイミング図である。

【図 22】図 22 は図 19 の制御回路の 2 画面表示から映像信号 2 による 1 画面表示への切り換え動作と、この 1 画面表示から 2 画面表示への切り換え動作を示すタイミング図である。

【図 23】図 23 は 2 画面表示において左右の画像を入れ換える図 19 の制御回路の動作を示すタイミング図である。

【図 24】図 24 は、本発明の画像表示装置の他の実施例を示すブロック図である。

【図 25】図 25 は図 24 の画像表示装置の画面表示制御回路 715 を構成する制御回路 718 の構成例を示す図である。

【符号の説明】

7…液晶表示装置

701…表示パネル

702…画素電極

703…スイッチング素子

704…走査信号線

705…データ信号線

706…対向電極

708, 708-1, 708-2…垂直走査回路

709, 709-1, 709-2…水平走査回路

710, 710-1, 710-2…コモン電圧発生回路

711…駆動信号発生回路

712, 712-1, 712-2…映像信号処理回路

713, 713-1, 713-2…レベル反転回路

714-1, 714-2…SW回路

715…画面表示制御回路

716-1, 716-2…走査制御回路

717-1, 717-2…基準信号発生回路

803-1, 803-2…信号選択回路

804…デコード回路

805-1, 805-2…制御信号取得回路

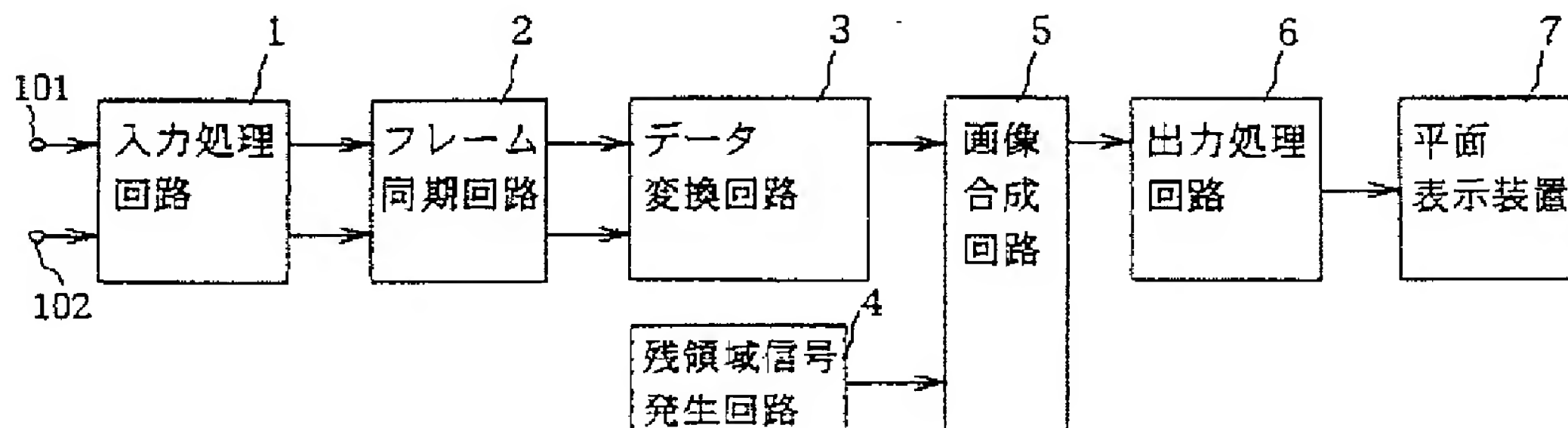
806…画面切換制御回路

807…選択信号発生回路

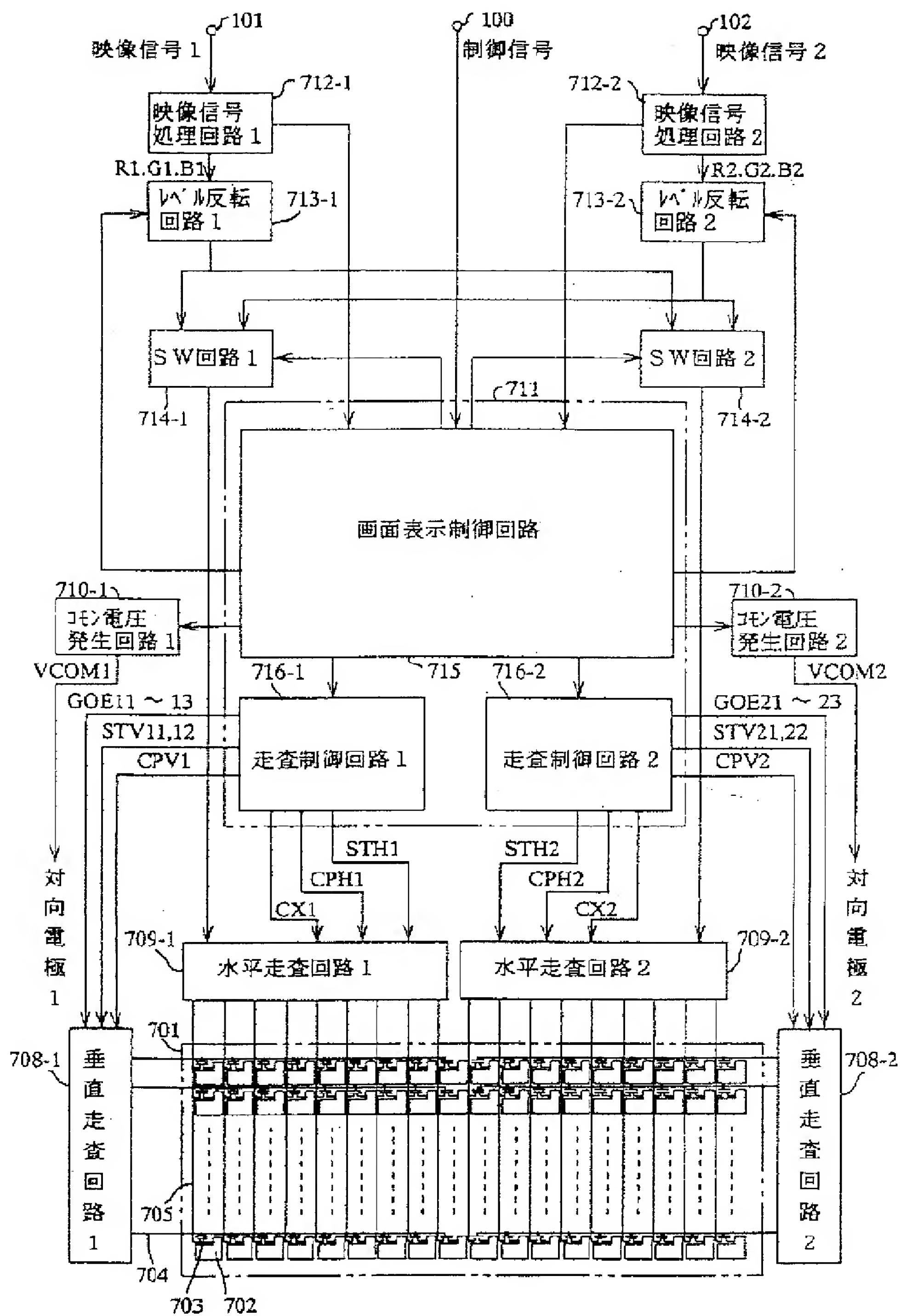
808…1/2画面信号発生回路

809…サンプリング制御回路

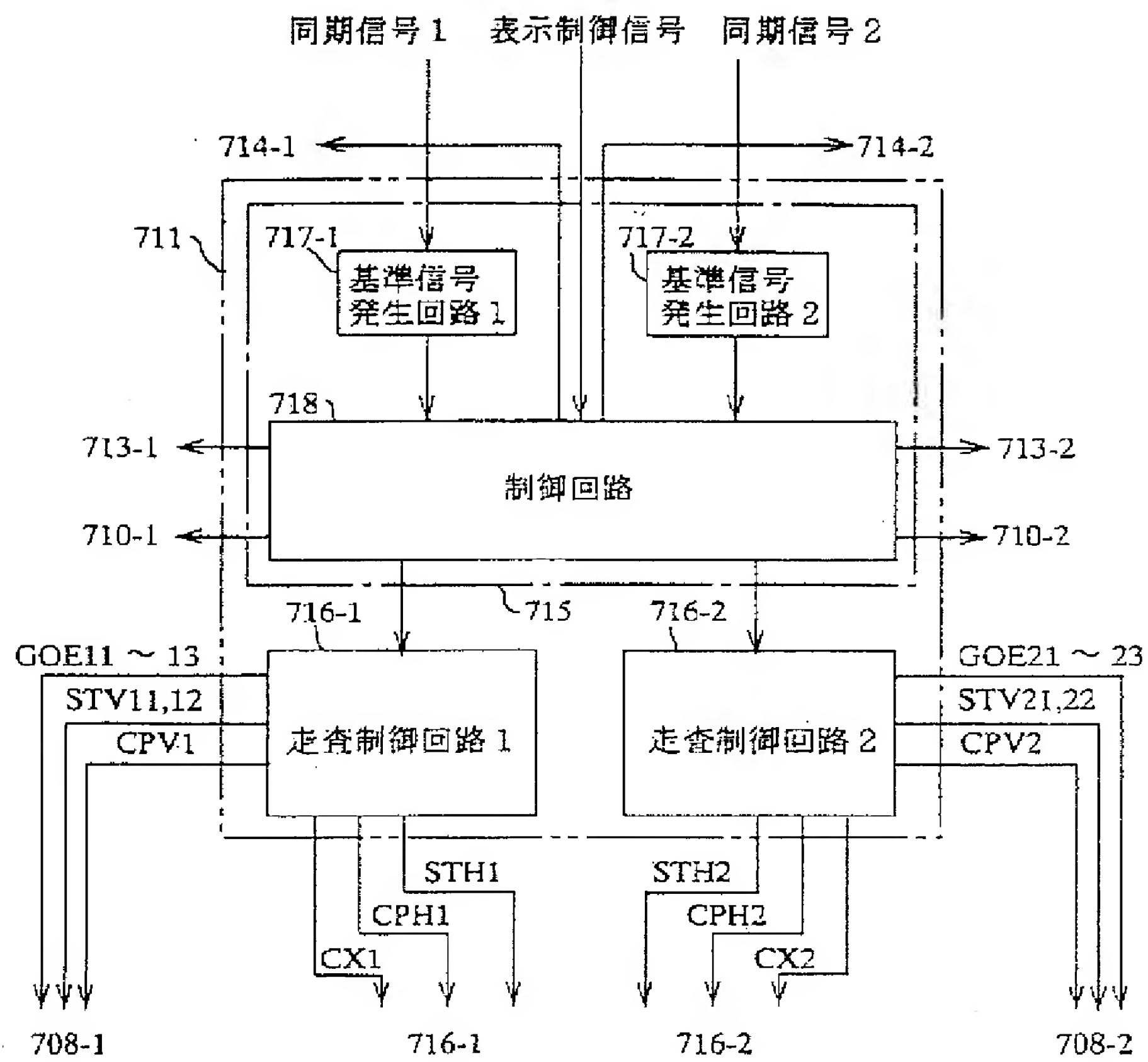
【図 9】



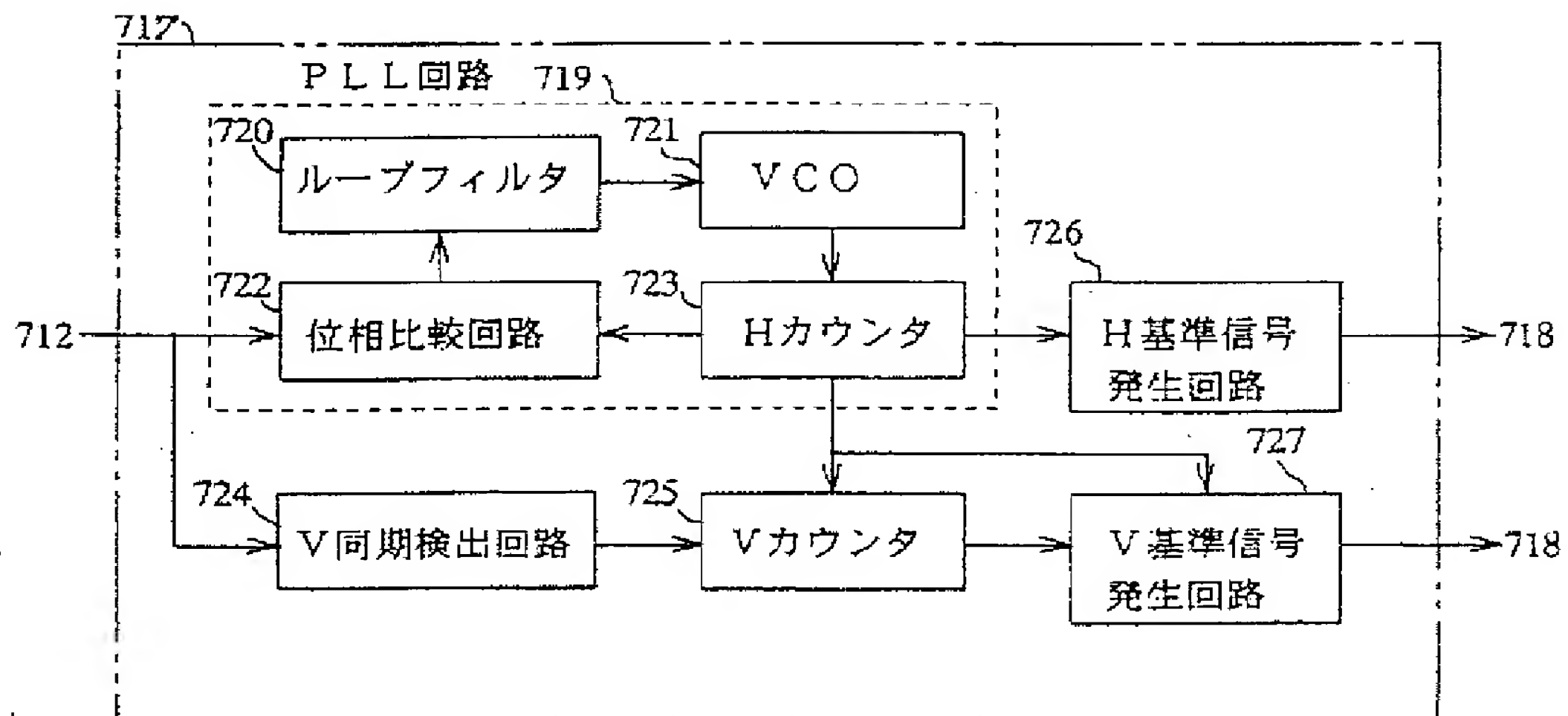
【図1】



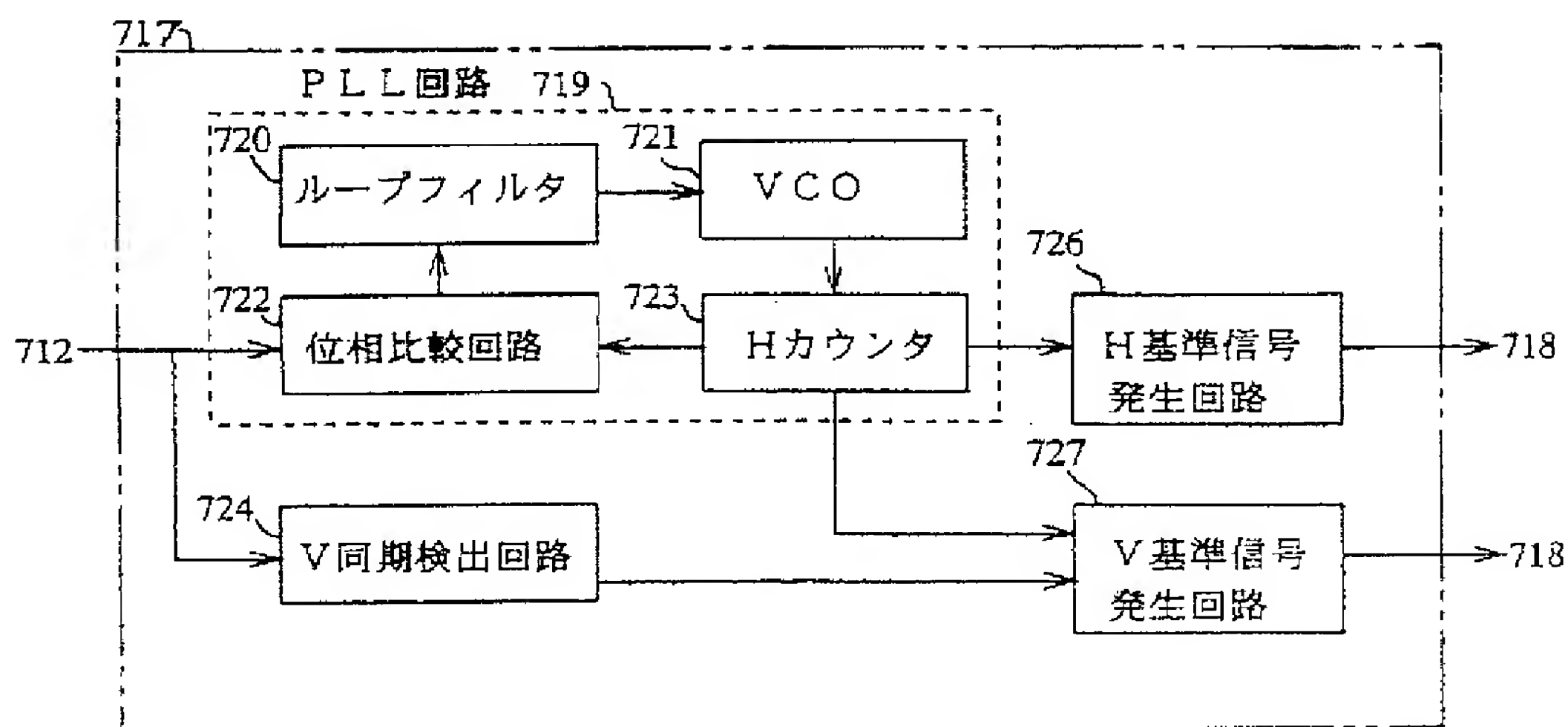
【図2】



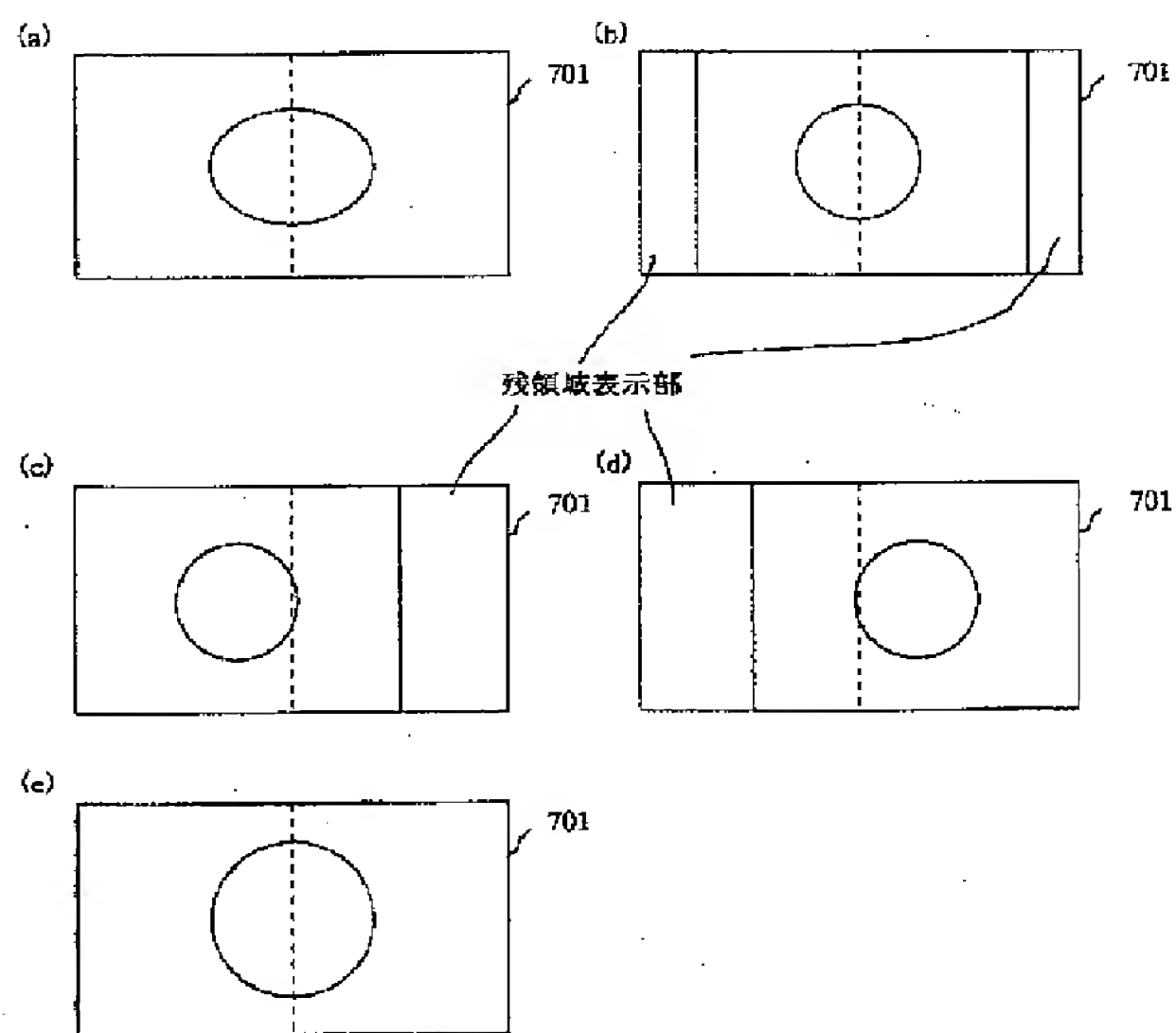
【図3】



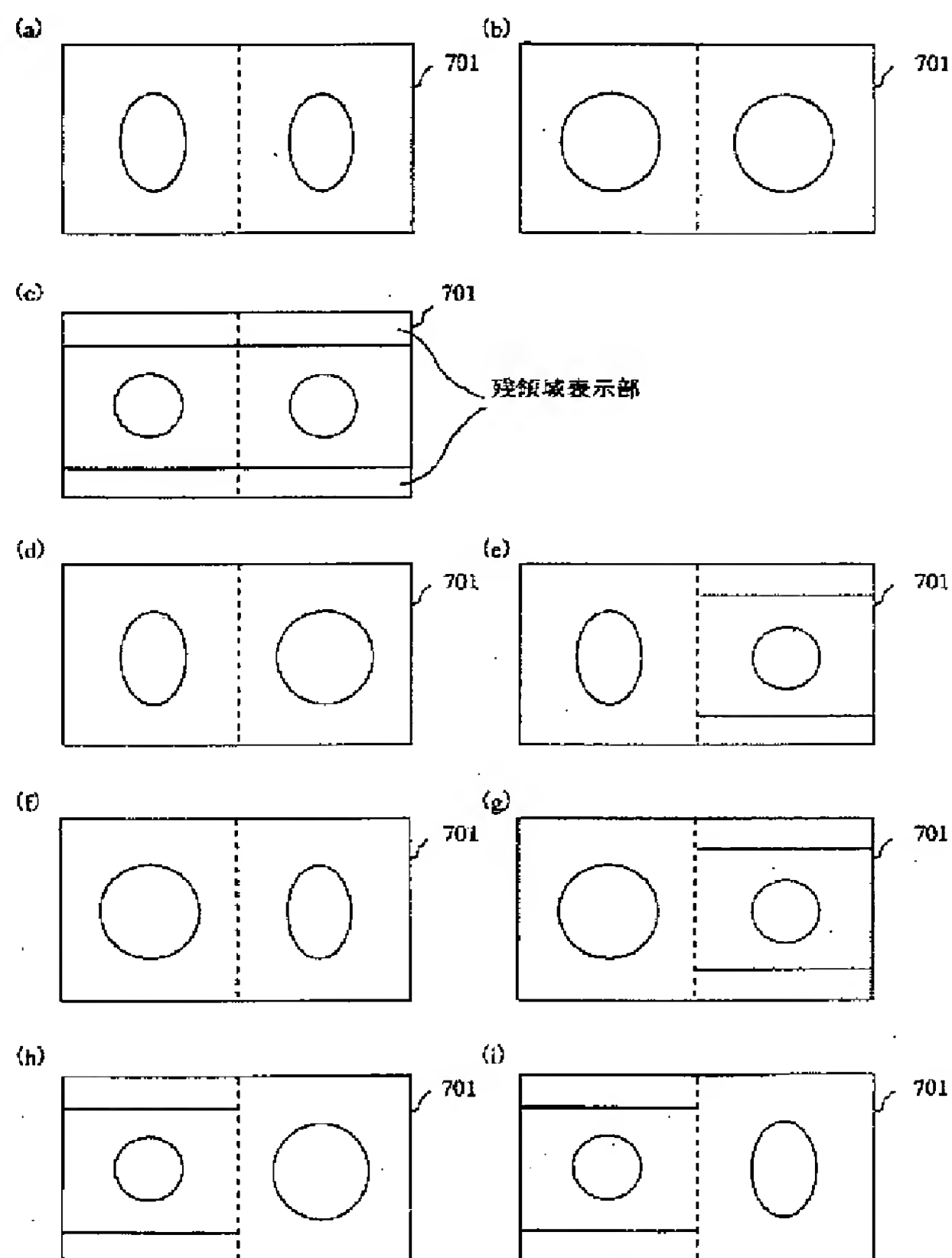
【図4】



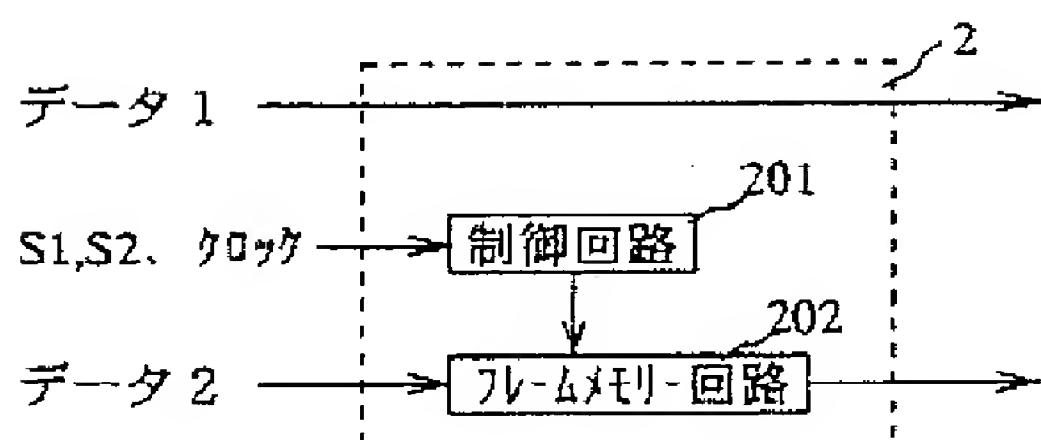
【図5】



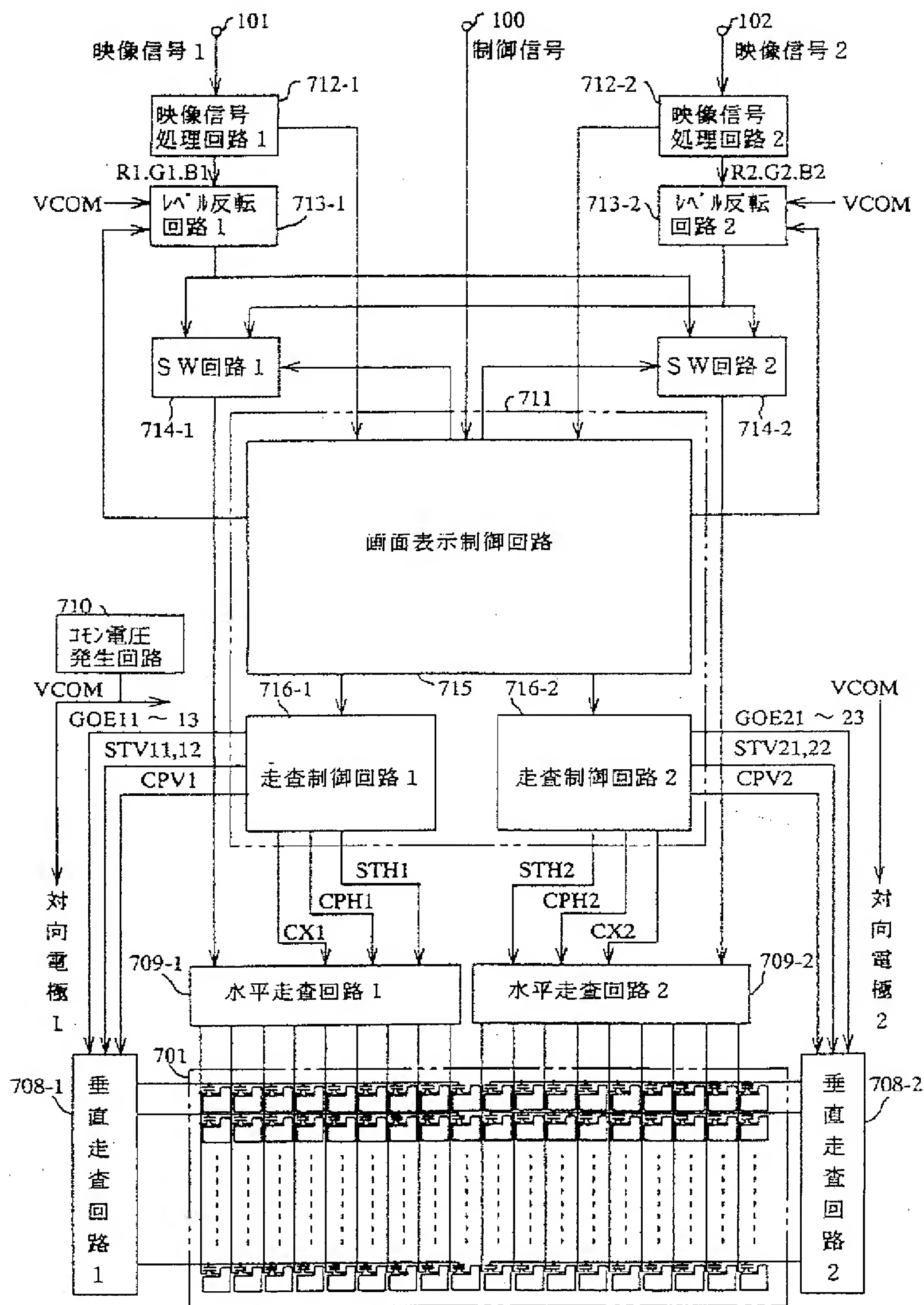
【図6】



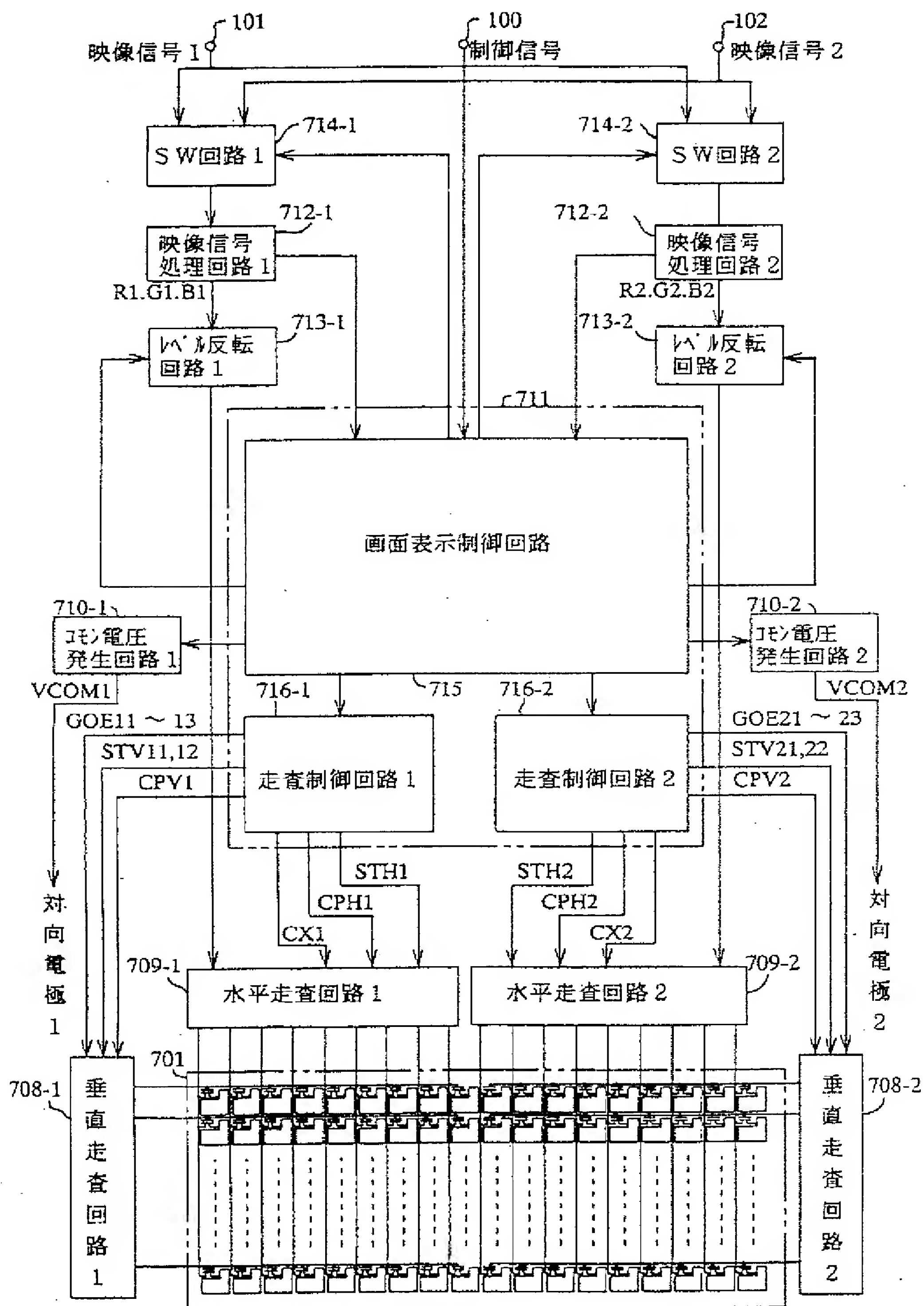
【図11】



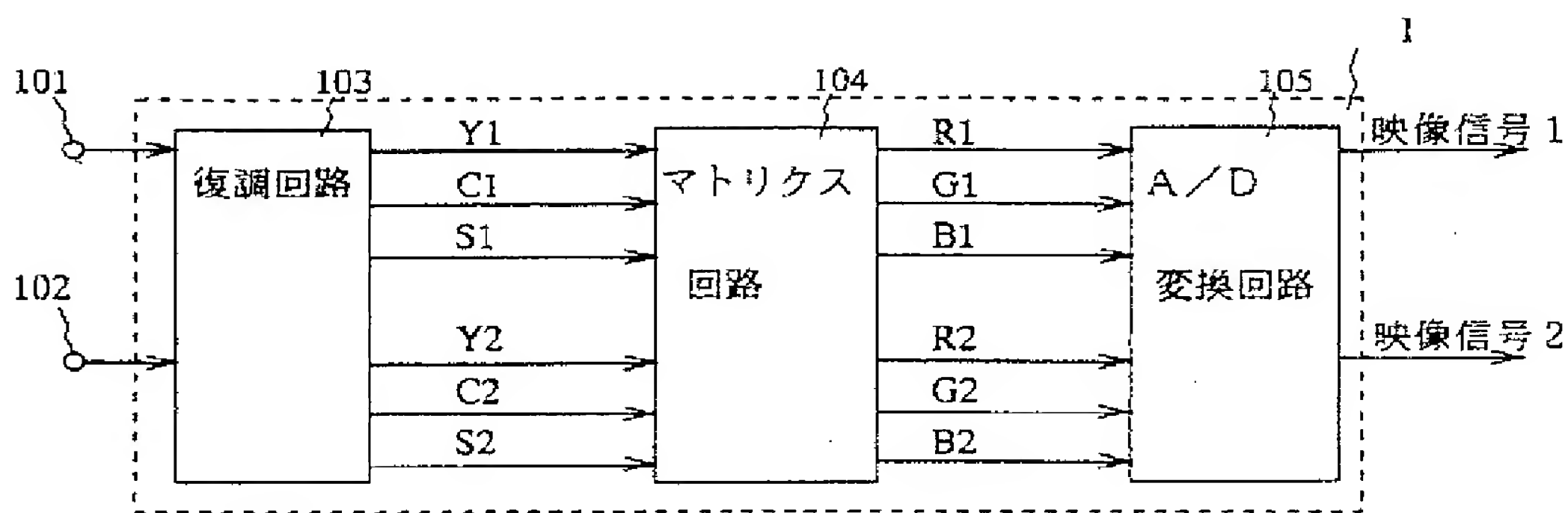
【图7】



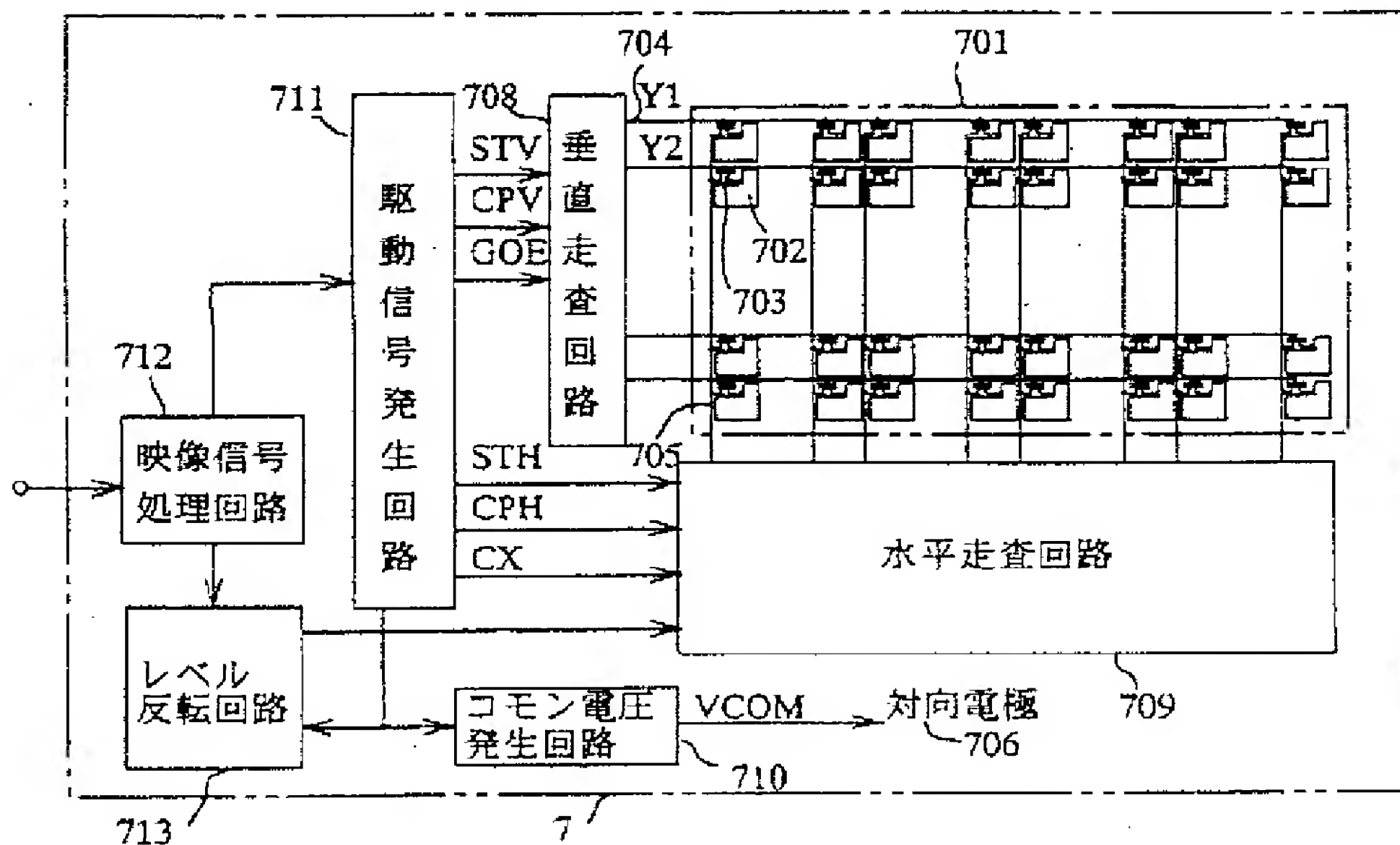
【図8】



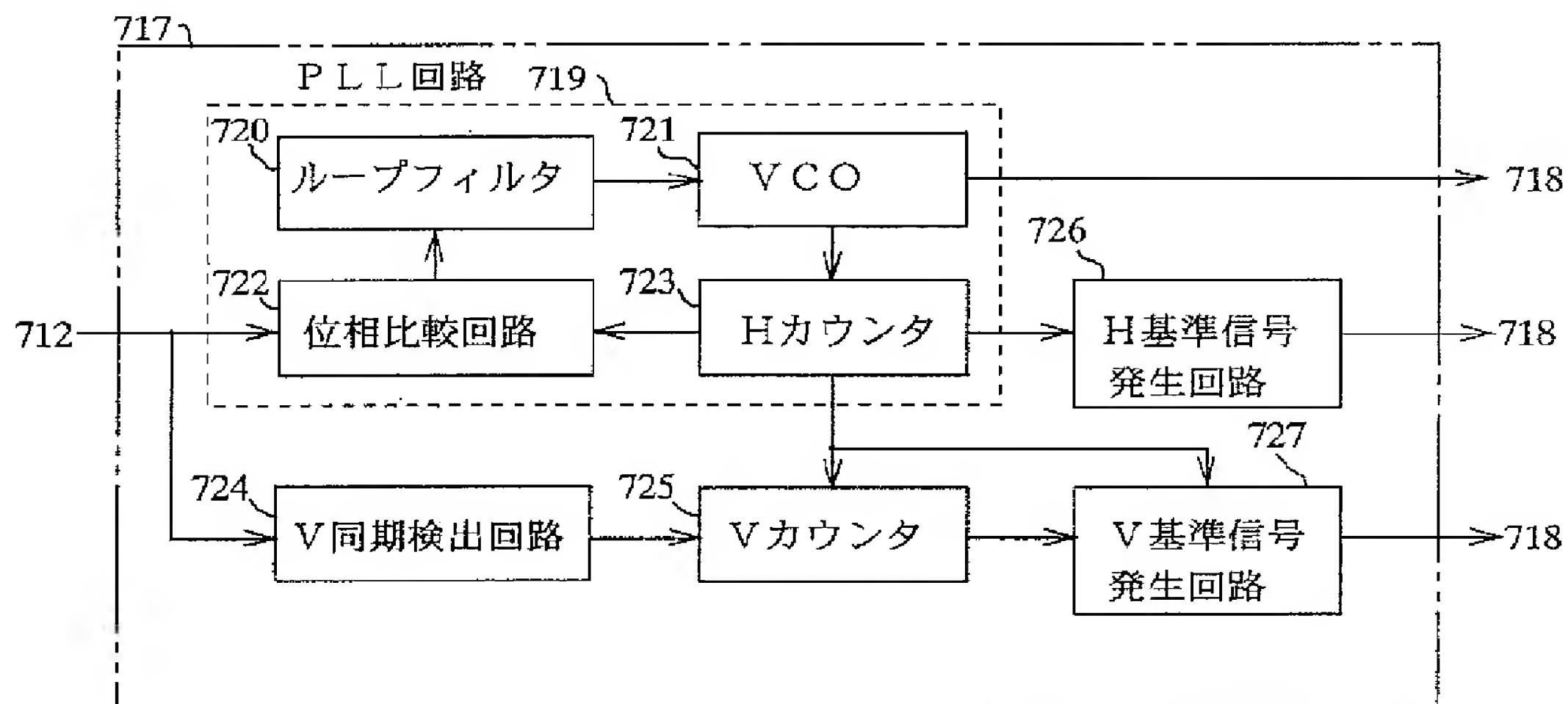
【図10】



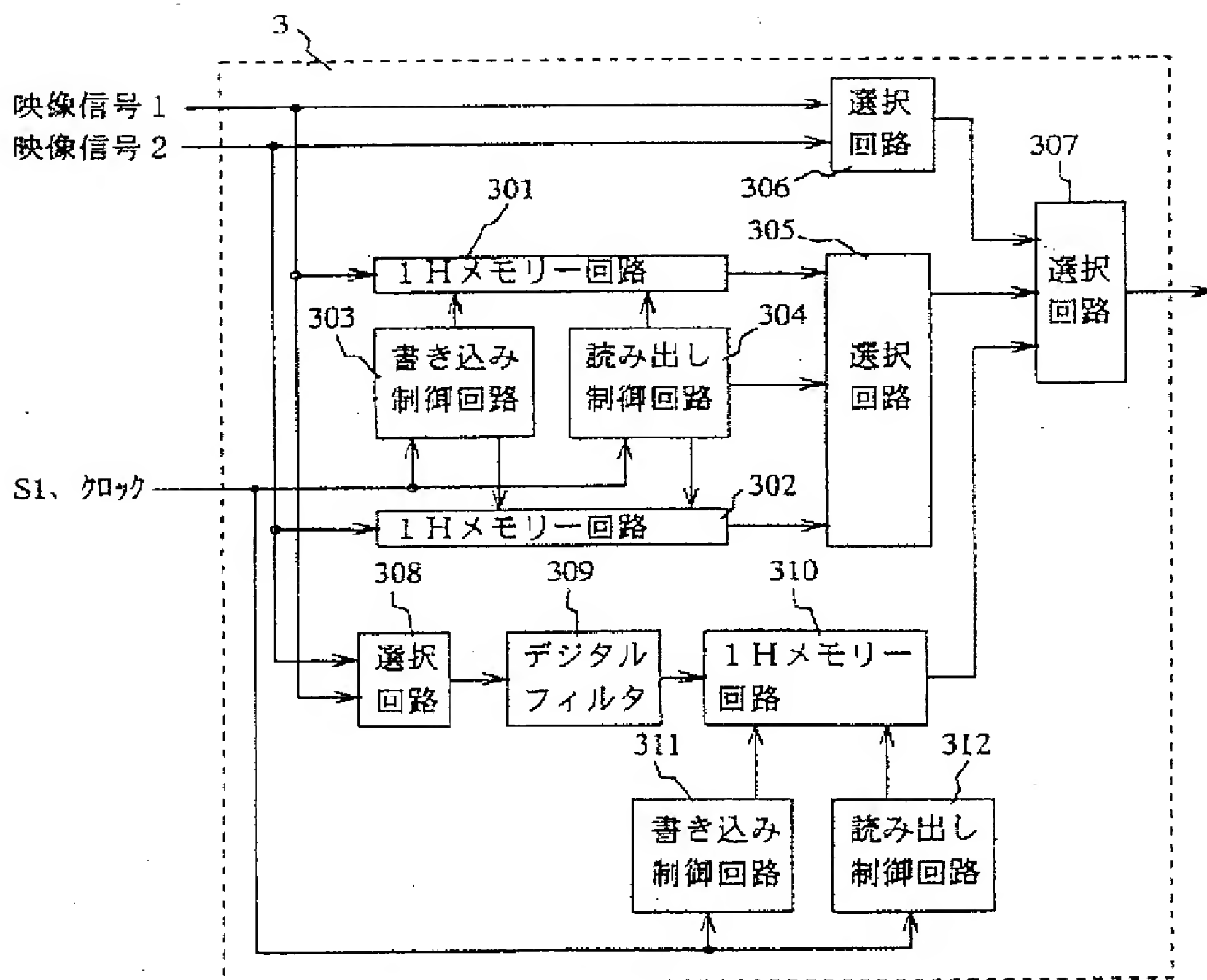
【図12】



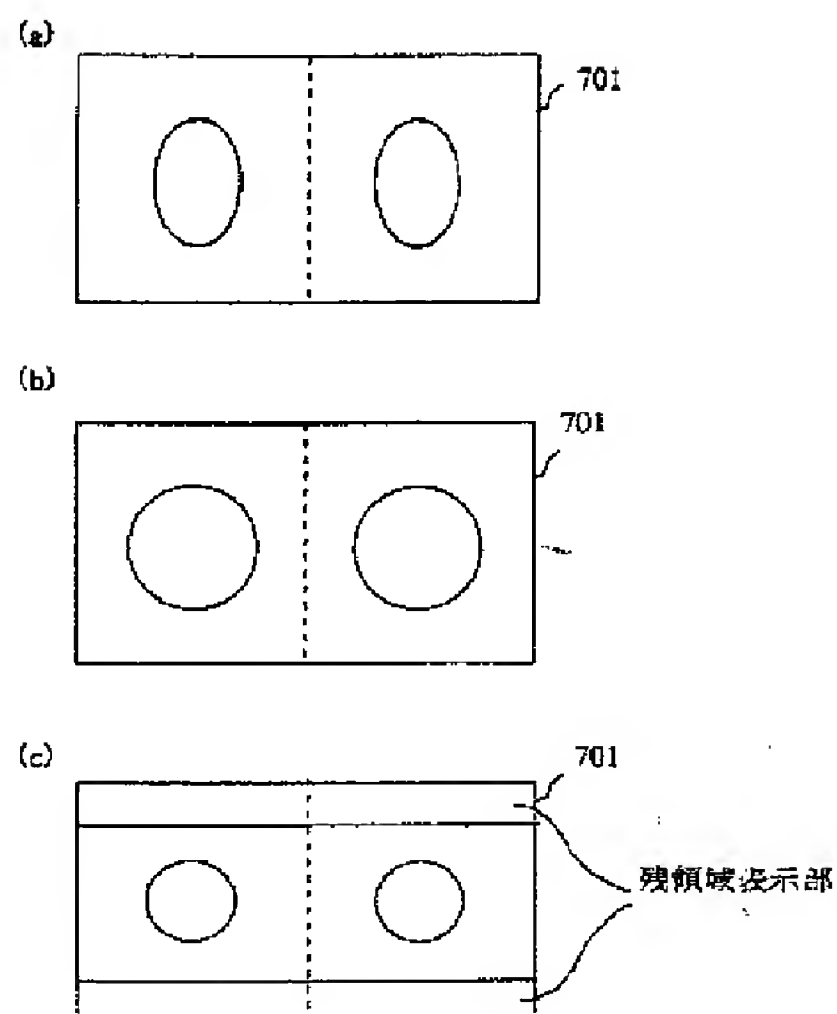
【図18】



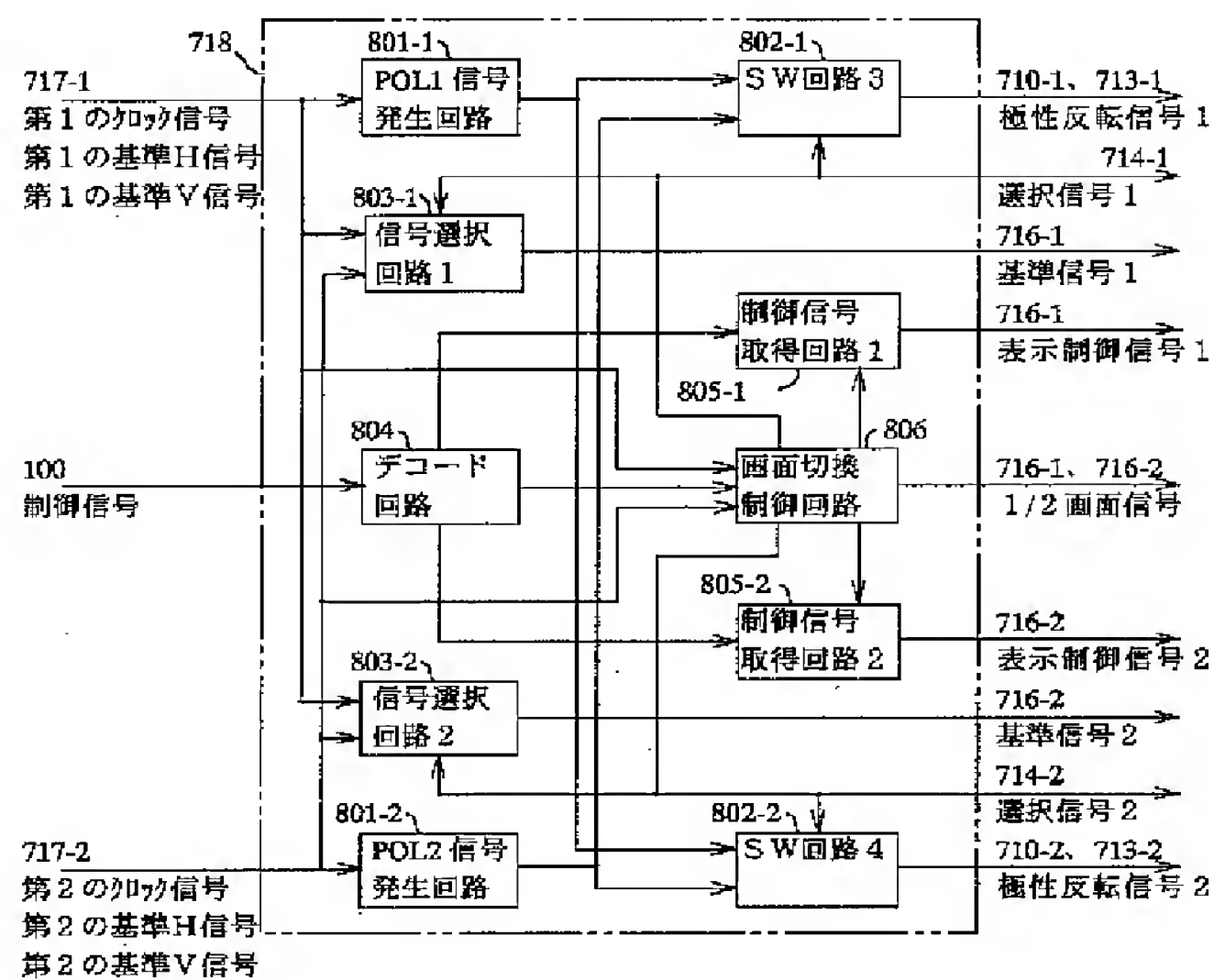
【図13】



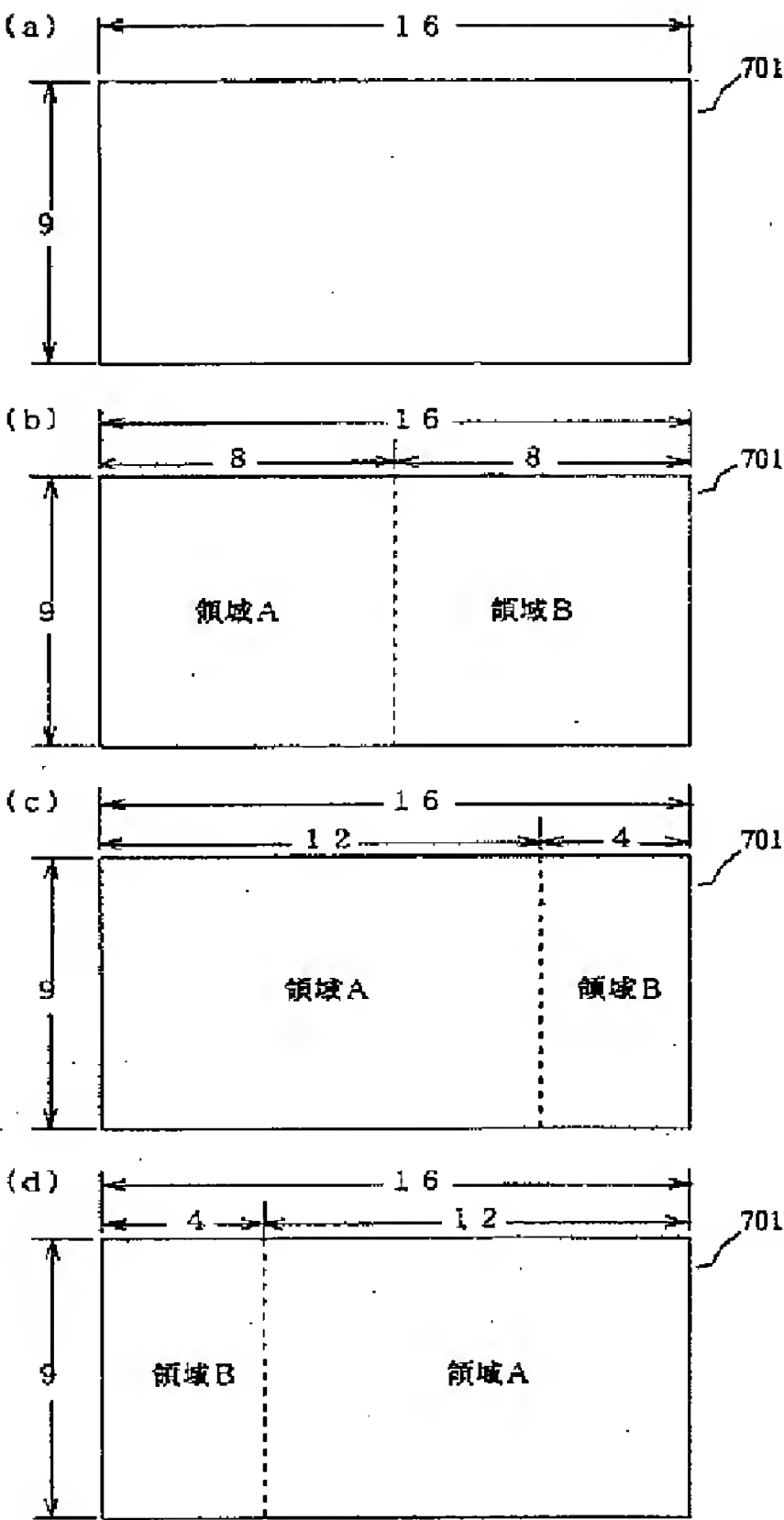
【図15】



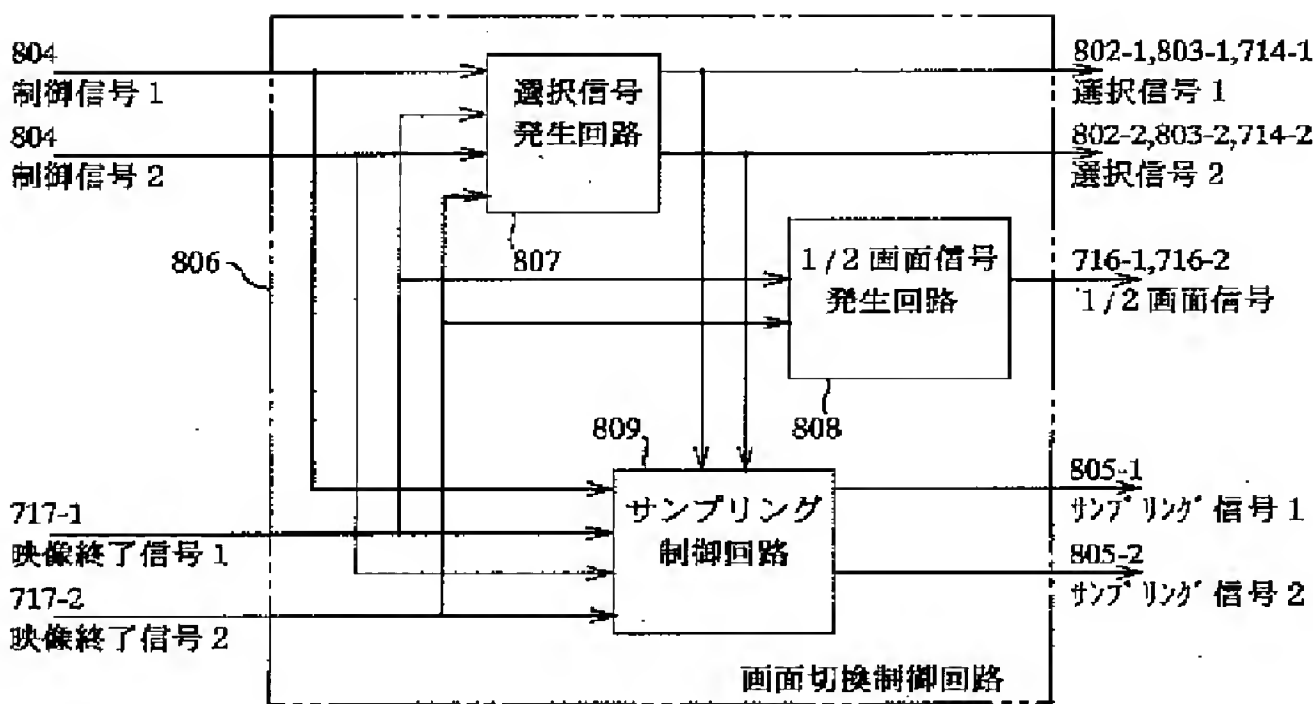
【図19】



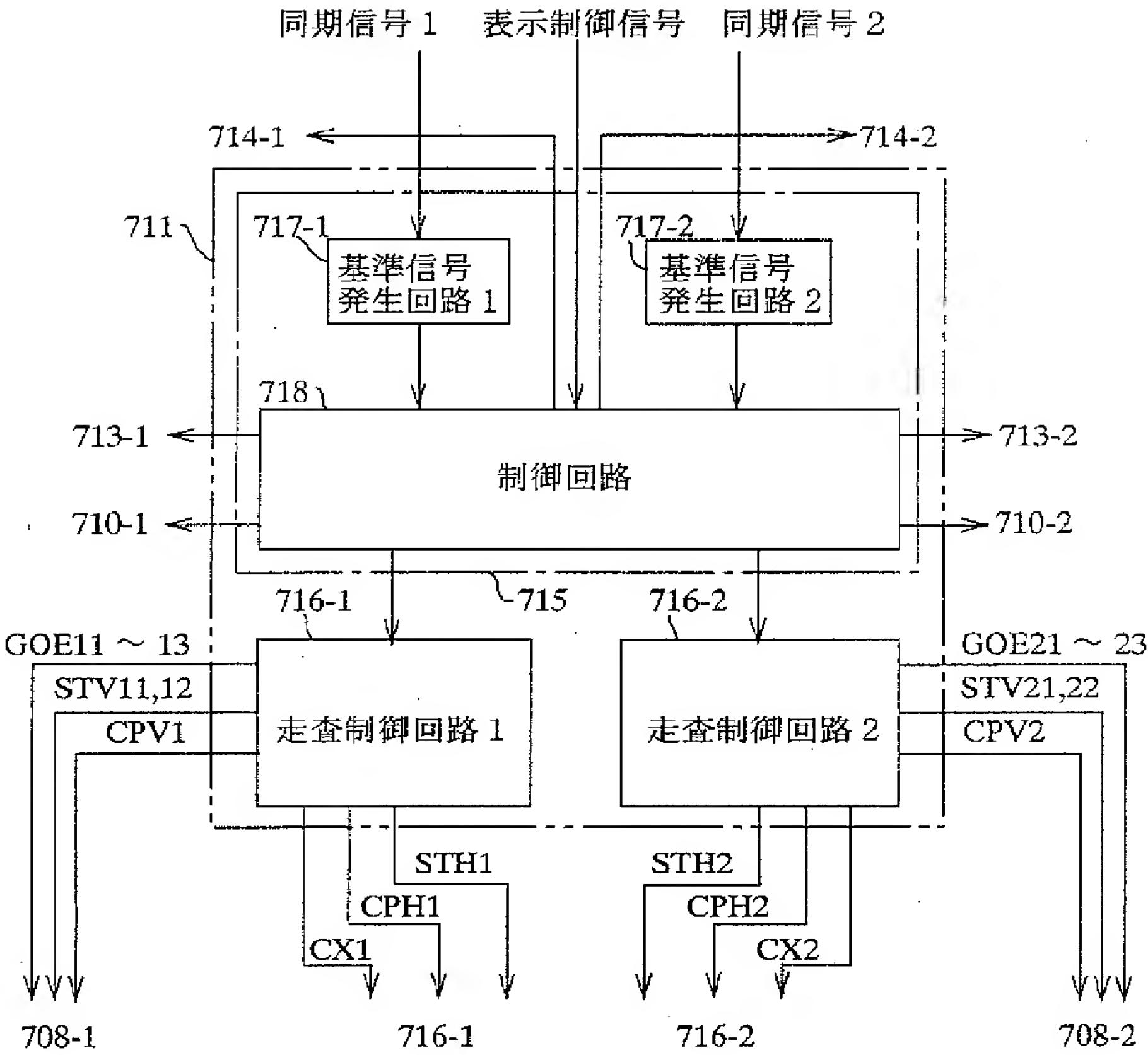
【図14】



【図20】

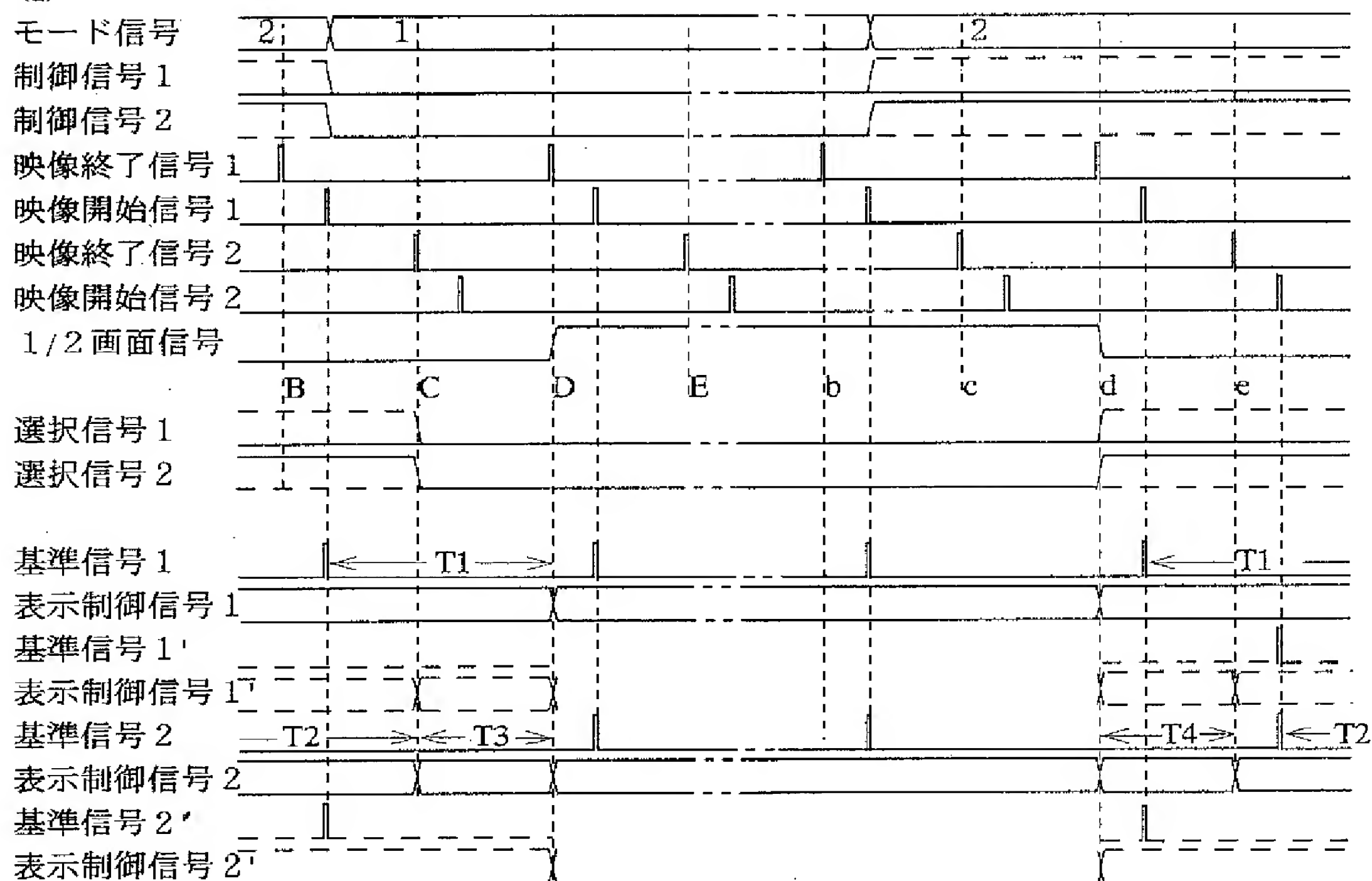


【図17】

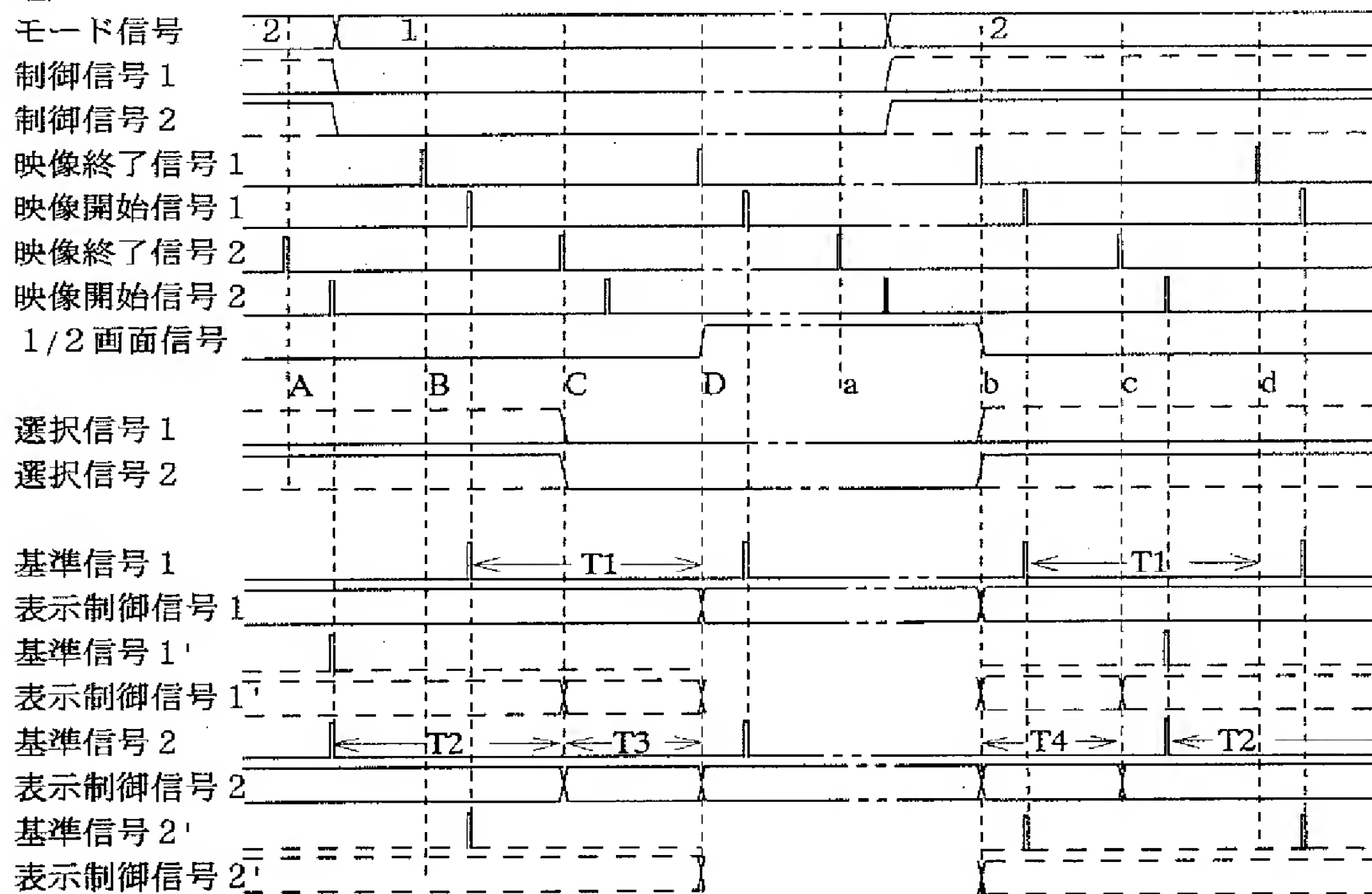


【図21】

(1)

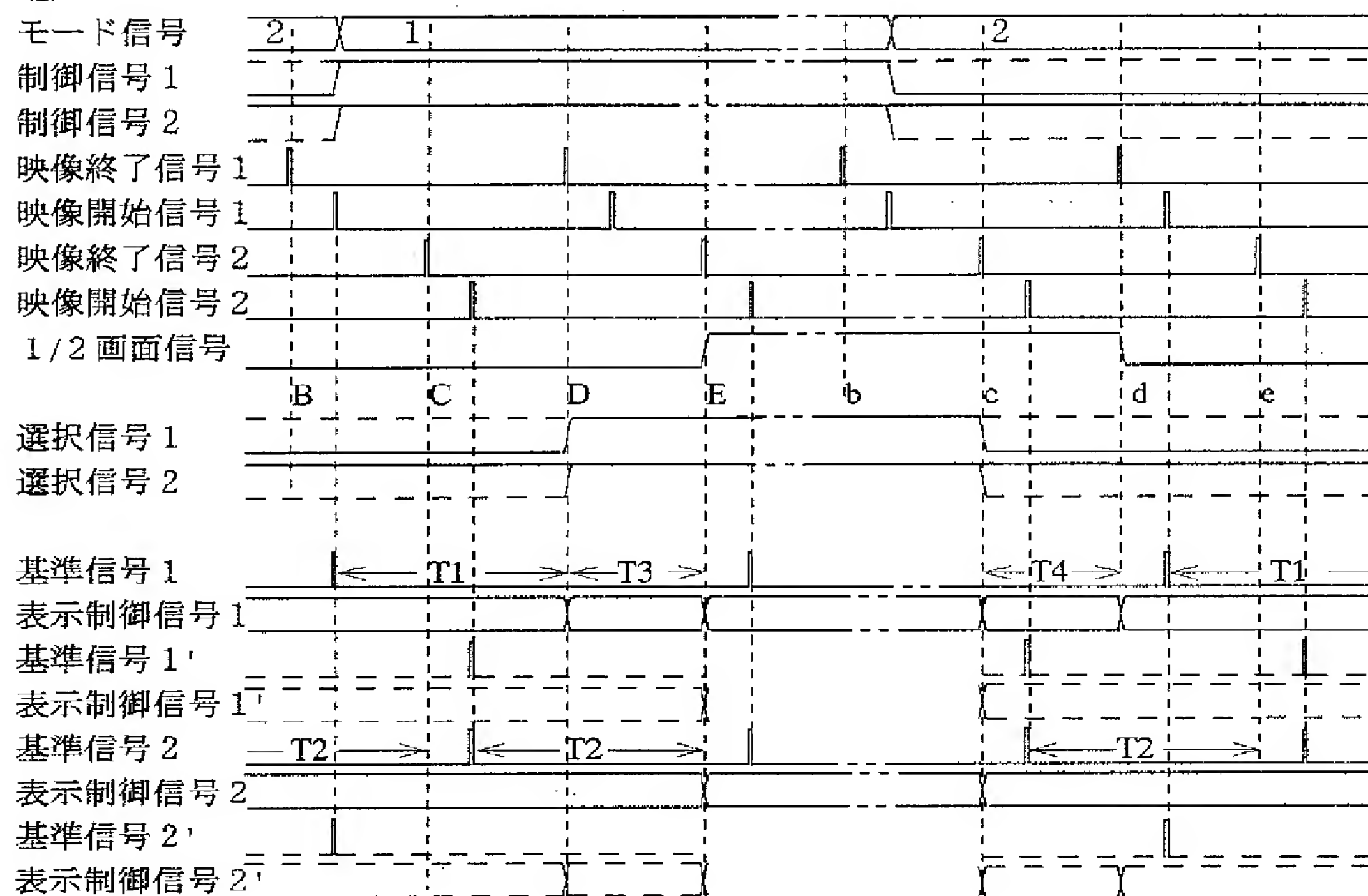


(2)

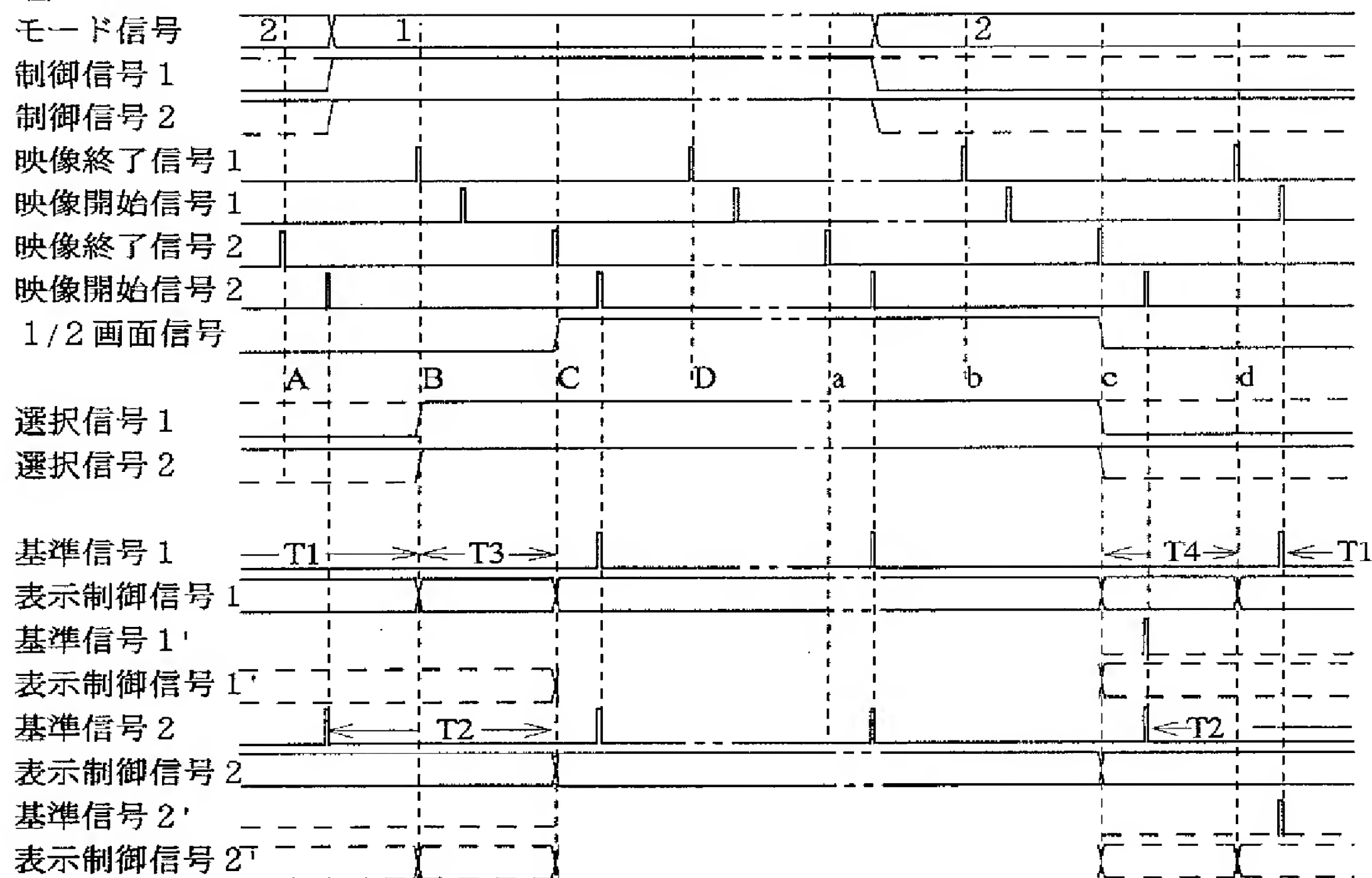


【図22】

(1)



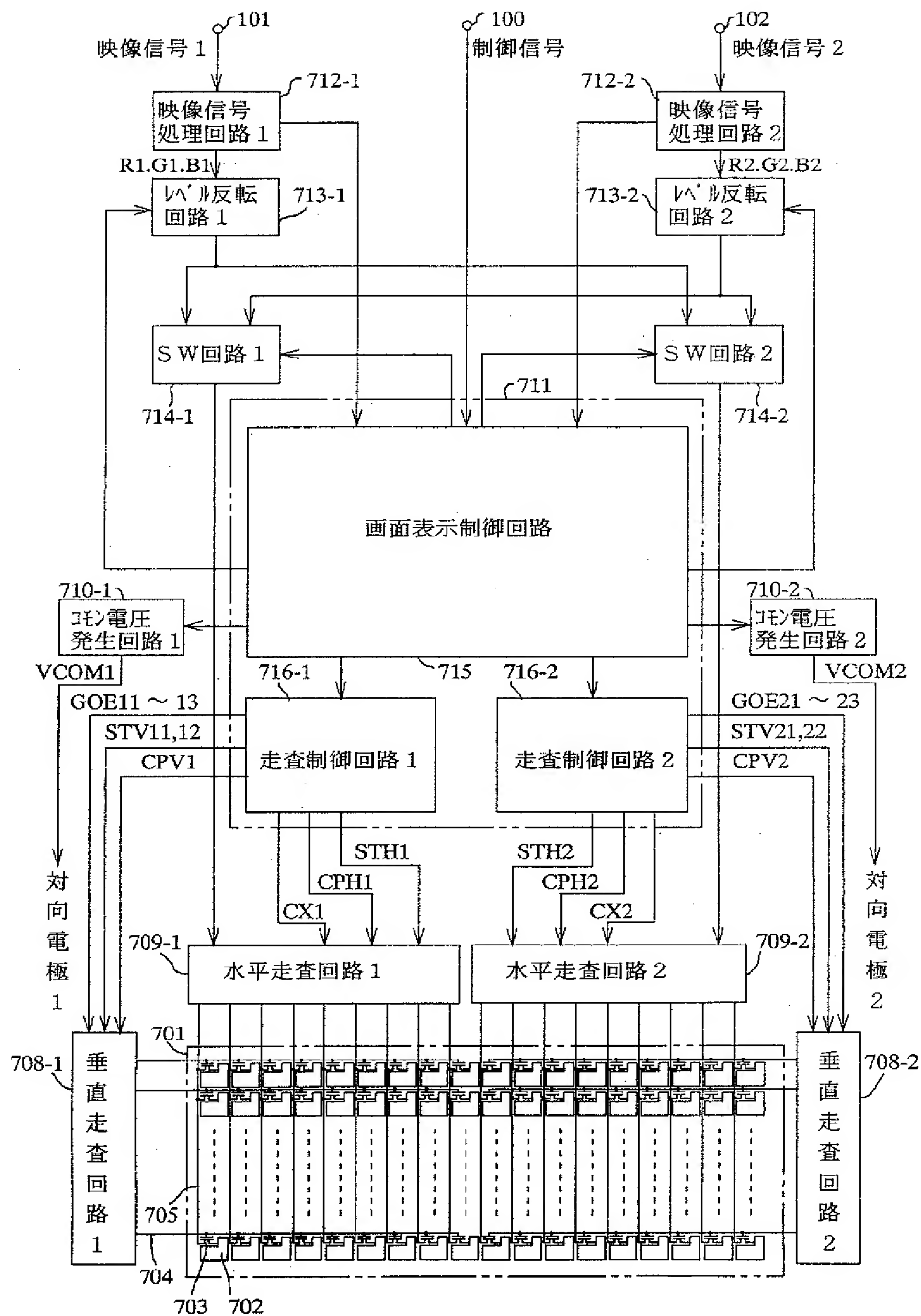
(2)



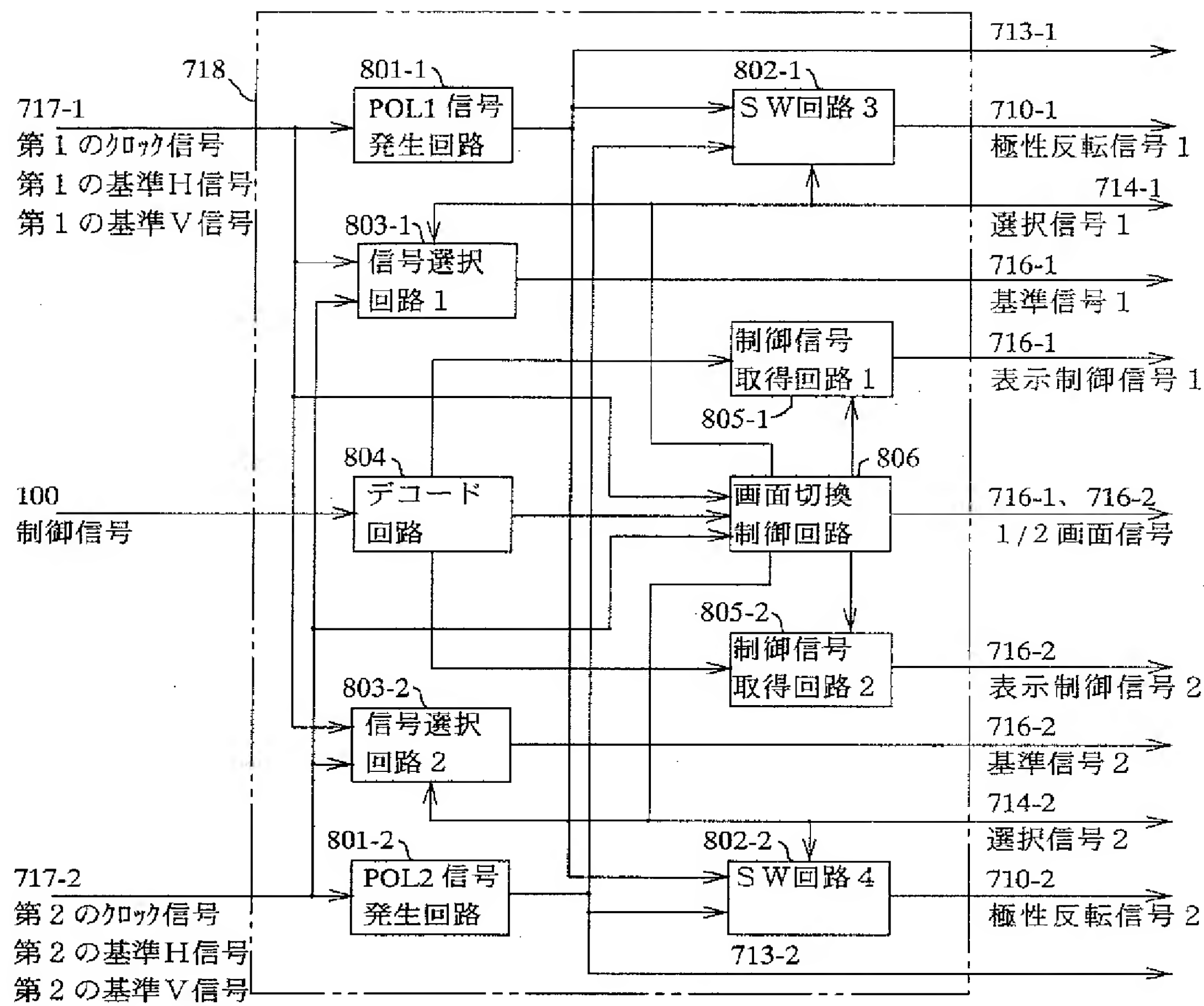
【図 23】



【 図 2 4 】



【 図 2 5 】



フロントページの続き

(51)Int.Cl. ⁷		識別記号	F I		キーワード (参考)
H O 4 N			H O 4 N		
	5/45	1 0 2		5/45	1 0 2 B
	5/46			5/46	
	5/66			5/66	